

修士論文

スーパーカミオカンデにおける
新データ収集エレクトロニクスの研究と開発

西野玄記

東京大学大学院理学系研究科物理学専攻
金行研究室

2006 年 1 月

論文要旨

大型水チェレンコフ検出器を用いたスーパーカミオカンデ実験では、これまでもニュートリノ振動や超新星爆発、陽子崩壊などに関して物理的に重要な結果が数多く得られている。しかし、さらなる高精度な観測、低エネルギー領域、高エネルギー領域への観測可能領域の拡大のためには、現在のエレクトロニクスではいくつかの問題点があることが明らかになっている。そのため、我々は現在、新しいエレクトロニクスの開発を進めているところである。

本論文では、まず、新しいデータ収集エレクトロニクスの現段階での概念的なデザインを述べる。新しいエレクトロニクスの開発にあたって、大きな課題となるのは高精度な観測を実現するフロントエンドエレクトロニクス (ATM) と高速なデータ処理を実現するシステムである。システム全体の設計に関しては、現段階ではまだ多くの選択肢が残されているが、全てのチャンネルで 10 kHz のヒットが生じてもデッドタイム無く、処理することが可能なシステムを設計しつつある。

一方、新しい ATM の開発は具体的に進みつつある。本研究では、その中で中心的な役割を果たす時間電荷変換素子 (QTC) と AMT と呼ばれる TDC に関する評価を行った。特に、QTC に関しては我々が独自に ASIC として開発したものであり、そのプロトタイプのパフォーマンスの全般が本研究の主要なテーマである。

QTC の性能評価では、電荷測定と時間測定の精度やダイナミックレンジといった基本性能に関しては、ほぼ我々の要請を満たすものができていることが分かった。また、現在問題となっているインピーダンスの整合に関しても QTC 自体ではほぼ 0.1 % の反射係数を実現できるレベルにあることが分かった。さらに、温度依存性や線型性などの評価も行い、どのように補正を行えば良いかの考察も行った。これらの評価の結果から次期版へ向けて改善すべき点を洗い出し、次期版の再設計を行った。

さらに、システム全体の基準となるクロックを発生させるモジュールの開発も行っている。クロックの分配に関しては分配のためのケーブルの評価を行い、40 m の距離においても 60 MHz の信号を伝送可能なケーブルを決定した。一方、クロック発生モジュールに関しては、回路設計を完了し、製作を順調に進めているところである。

目次

1	序論	1
1.1	ニュートリノ振動	1
1.1.1	ニュートリノ振動	1
1.1.2	大気ニュートリノ	3
1.1.3	太陽ニュートリノ	6
1.2	超新星爆発ニュートリノ	9
1.3	新エレクトロニクス開発の動機	12
1.3.1	高エネルギー領域の観測可能領域の拡大	13
1.3.2	低エネルギー領域の観測可能領域の拡大	13
1.3.3	新エレクトロニクスへの要請のまとめ	15
2	スーパーカミオカンデ	16
2.1	測定原理	16
2.2	検出器	17
2.3	光電子増倍管	18
2.4	オンラインデータ収集系	21
2.5	キャリブレーション	21
3	現行のデータ収集エレクトロニクス	23
3.1	データ収集システムの概要	23
3.2	時間電荷測定モジュール (ATM)	25
3.2.1	現在の ATM の特性のまとめ	25
3.3	SMP	26
3.4	トリガーシステム	26
3.4.1	HITSUM	26
3.4.2	TRG	28
3.5	現在の ATM の問題点	28
4	新データ収集エレクトロニクスの概念設計	33
4.1	新エレクトロニクスへの要請	33
4.1.1	フロントエンド (ATM) で解決すべき要請と解決策	33
4.1.2	データ収集システム全体で解決すべき要請と解決策：高速化	36
4.2	新データ収集エレクトロニクスの全体図	36
4.2.1	最小限の改良：ATM だけを新しくした場合	37
4.2.2	常時全てのデータをとり続ける場合	38

4.3	新 ATM	41
4.3.1	信号の流れ	41
4.3.2	信号入出力	42
4.3.3	QTC の処理速度	45
4.3.4	AMT (ATLAS Muon TDC)	46
4.3.5	データ量と処理速度	51
4.4	データ収集システム全体の高速化	55
4.4.1	新 SCH の開発と高速化 TKO プロトコル	55
4.4.2	イーサネット読み出しのための拡張ボード	57
4.4.3	高速化に関するまとめ	57
4.5	トリガーシステム	59
4.5.1	Forced Trigger	59
4.5.2	Digital HITSUM	59
5	時間電荷変換素子 (QTC-LSI) の研究と開発	61
5.1	QTC への要請と仕様の検討	61
5.1.1	電荷分解能とダイナミックレンジ	61
5.1.2	積分ゲート (Charge Gate) 時間と測定ゲート (Measure Gate) 時間 : 処理速度	63
5.1.3	ディスクリミネータへの要請 : 低ノイズ化	65
5.1.4	入力部 : 分圧とインピーダンス整合	69
5.1.5	CAL 入力 : キャリブレーション作業の簡素化	71
5.2	QTC の仕様と基本動作	71
5.3	QTC の開発	76
5.4	基本性能の評価	78
5.4.1	評価基板	78
5.4.2	測定方法	80
5.4.3	電荷測定ダイナミックレンジ	82
5.4.4	電荷測定精度	82
5.4.5	時間測定精度	85
5.4.6	Time Walk : CFD の評価	87
5.4.7	インピーダンス整合	88
5.4.8	クロストーク	90
5.4.9	ノイズレベル	92
5.4.10	消費電力	94
5.5	安定性、線型性、個体差に関する性能評価	95
5.5.1	温度依存性	95
5.5.2	電源電圧依存性	98

5.5.3	電荷線型性：単純な関数で記述できるか	98
5.5.4	チャンネル間個体差	99
5.5.5	キャリブレーション用入力 (CAL)	101
5.6	問題点と改善点：次期版への変更点	102
5.6.1	入力頻度依存性	102
5.6.2	リセット中に入力された信号でヒットが生じる問題	106
5.6.3	微小な信号で動作が止まる問題	107
5.7	QTC 評価のまとめ	108
6	Master Clock Module (Mclock) の開発	109
6.1	60 MHz のデータ転送のための検討	109
6.2	仕様	112
6.2.1	クロックの安定性への要請とクロックの選定	112
6.2.2	Master Clock Module の機能	113
6.3	開発経過	115
7	結論	116
付録 A	現在の ATM の処理の詳細	117
A.1	アナログ信号入力部	117
A.2	AD 変換部	118
付録 B	AMT の設定と読み書きタイミング	120
B.1	レジスタ設定	120
B.2	読み書きタイミング	122
B.2.1	CSR	122
B.2.2	測定データ読み出し	123

1 序論

スーパーカミオカンデは約 5 万トンの純水と約 13000 本の光電子増倍管からなる水チェレンコフ検出器であり、陽子崩壊の探索や太陽、大気、超新星爆発など様々な起源によるニュートリノの研究を目的として、1991 年に建設が開始され、1996 年 4 月に観測が開始された。また、1999 年に開始された K2K 実験では、後置検出器として加速器で生成されたニュートリノビームを検出し、さらにはその次期実験である T2K 実験でも同様に後置検出器として用いられる予定である。

スーパーカミオカンデにおいては上に挙げたような様々な研究が行われているが、この章ではこれらの研究対象についてそれぞれ物理的な背景を述べる。さらに、本研究のテーマであるデータ収集エレクトロニクスの開発に関して、それぞれの事象の観測から要請される事項についても述べていく。

1.1 ニュートリノ振動

ニュートリノはそもそも、原子核の β 崩壊により放出される電子の運動エネルギースペクトルが、二体崩壊から予想されるような線スペクトルにならずに連続スペクトルになることを説明するために、中性の非常に軽い粒子として、1930 年に Pauli により初めてその存在が提唱された。それ以来、様々な実験によりその検出が試みられたが、その相互作用の小ささから検出は困難であった。初めてニュートリノの直接検出がなされたのは、その存在が提唱されてから 20 年あまり経った 1953 年のことであった。検出に成功したのは Reines と Cowan で、彼らは 300 リットルの液体シンチレータを用いて、原子炉からのニュートリノの直接検出に成功した。

ニュートリノの存在はこれにより確認されることとなったが、その質量が完全にゼロであるのか、もしくは、有限な質量を持つのかという問題は、その提唱以来、素粒子物理の一つの問題となってきた。そのニュートリノ質量の測定実験として最も代表的なものは、原子核の β 崩壊を用いるものである。現在、最も厳しい上限値をつけているのは ${}^3\text{H}$ の β 崩壊を用いるもので、その上限値は $m_{\nu_e} < 2.8 \text{ eV (90\% C.L.)}$ [1] である。しかし、これもニュートリノが有限な質量を持つことを示すには至っていない。

そのような状況の中、1998 年にスーパーカミオカンデにおける大気ニュートリノの観測 [2] によって、ニュートリノ振動の証拠が示されたことにより、ニュートリノに質量があることが強く示唆された。その後、K2K 実験によって加速器で生成されたニュートリノにおいてもニュートリノ振動の存在を確認し、他にも太陽ニュートリノや原子炉ニュートリノの観測を通してニュートリノ振動は確認され、ニュートリノの質量とともにその存在は現在では確立したものとなっている。

1.1.1 ニュートリノ振動

ここでは、ニュートリノの質量とニュートリノ振動がどのような関係にあるのかについて述べていくことにする。

もし、ニュートリノが有限な質量を持つとすると、フレーバーの固有状態 $|\nu_\alpha\rangle$ ($\alpha = e, \mu, \tau$) とは別に、質量の固有状態 $|\nu_i\rangle$ ($i = 1, 2, 3$) も存在することになる。このとき、フレーバーの固有状態は次のように質量の固有状態の重ね合わせで書くことができる。

$$|\nu_\alpha\rangle = \sum_i U_{\alpha i} |\nu_i\rangle \quad (1.1)$$

ここで、 $U_{\alpha i}$ はレプトン混合行列と呼ばれるユニタリ行列であり、次のように表せる

$$U = \begin{pmatrix} c_{12}c_{13} & s_{12}c_{13} & s_{13}e^{-i\delta} \\ -s_{12}c_{23} - c_{12}s_{23}s_{13}e^{i\delta} & c_{12}c_{23} - s_{12}s_{23}s_{13}e^{i\delta} & s_{23}c_{13} \\ s_{12}s_{23} - c_{12}c_{23}s_{13}e^{i\delta} & -c_{12}s_{23} - s_{12}c_{23}s_{13}e^{i\delta} & c_{23}c_{13} \end{pmatrix} \quad (1.2)$$

ここで、 $s_{ij} = \sin \theta_{ij}$, $c_{ij} = \cos \theta_{ij}$ である。 θ_{ij} は質量の固有状態 ij の間の混合角、 δ は複素位相である。

ところで、状態ベクトルの時間変化はシュレーディンガー方程式より次のように書くことができる。

$$|\nu_i(t)\rangle = e^{-i(E_i t - p_i L)} |\nu_i(0)\rangle \quad (1.3)$$

$$E_i = \sqrt{p^2 + m_i^2} \approx p + \frac{m_i^2}{2p} \quad (1.4)$$

ここで、 m_i は質量の固有状態 i の質量、 L はニュートリノの伝播した距離であり、 $t \approx L$ としてよい。

以上より、 ν_α として生成したニュートリノが距離 L 伝播したときの状態ベクトルは次のように書くことができる。

$$|\nu_\alpha(L)\rangle = \sum_i U_{\alpha i}^* e^{-i(m_i^2/2E)L} |\nu_i\rangle \quad (1.5)$$

したがって、時刻 $t = 0$ で ν_α として生成し、距離 L 伝播したときに ν_β へと変化している確率は

$$\begin{aligned} P(\nu_\alpha \rightarrow \nu_\beta) &= |\langle \nu_\beta | \nu_\alpha(L) \rangle|^2 \\ &= \delta_{\alpha\beta} - 4 \sum_{i>j} \text{Re} [\sin^2 (1.27 \Delta m_{ij}^2 (L/E))] \\ &\quad + 2 \sum_{i>j} \text{Im} [\sin^2 (2.54 \Delta m_{ij}^2 (L/E))] \end{aligned} \quad (1.6)$$

ここで、 $\Delta m_{ij}^2 \equiv m_i^2 - m_j^2$ [eV²]、伝播距離 L は [km] で、ニュートリノのエネルギー E は [GeV] である。

二世代間のみの混合の場合では一つの混合角 θ と一つの質量二乗差 Δm^2 で書くことができ、 $\nu_\alpha \rightarrow \nu_\beta$ の振動確率は次のようになる。

$$P(\nu_\alpha \rightarrow \nu_\beta) = \sin^2 2\theta \sin^2 \left(\frac{1.27 \Delta m^2 L}{E} \right) \quad (1.7)$$

したがって、振動確率の大きさは混合角 θ で決定され、 L/E 依存性は質量二乗差 Δm^2 で決まることになる。

次節では、これまでに行われたニュートリノ振動実験の中から、特に大気ニュートリノの観測と太陽ニュートリノの観測について述べていくこととする。

1.1.2 大気ニュートリノ

大気ニュートリノ 大気ニュートリノの起源は、陽子や α 粒子などの一次宇宙線が大気中の原子核と衝突して生成する、 π や K などの二次粒子の崩壊によるものである。例えば、 π^\pm は次のような過程で崩壊していく。

$$\begin{aligned}\pi^+ &\rightarrow \mu^+ + \nu_\mu \\ &\rightarrow e^+ + \nu_e + \bar{\nu}_\mu + \nu_\mu\end{aligned}\quad (1.8)$$

$$\begin{aligned}\pi^- &\rightarrow \mu^- + \bar{\nu}_\mu \\ &\rightarrow e^- + \bar{\nu}_e + \nu_\mu + \bar{\nu}_\mu\end{aligned}\quad (1.9)$$

したがって、 π^\pm の崩壊からはミューオンニュートリノと電子ニュートリノが 2 : 1 の割合で生成されるので、フラックスの比 $R = (\nu_\mu + \bar{\nu}_\mu) / (\nu_e + \bar{\nu}_e)$ は 2 になると期待される。ただし、高エネルギーのミューオンは地上まで崩壊せずに届く割合が大きくなるために、数 GeV 以上の領域では地表での電子ニュートリノのフラックスは小さくなる。したがって、ニュートリノのエネルギーが大きいくほど、フラックスの比 R は大きくなる。

一方、式 (1.8)、(1.9) の過程により生成した大気ニュートリノは地球を貫通して全方向から到来することになる。したがって、その飛行距離は到来方向によって異なり、15 km 程度から 13000 km にまで及ぶこととなる。

大気ニュートリノの観測とニュートリノ振動 大気ニュートリノは、もともとカミオカンデや IMB、Soudan2、Fréjus、Nusex などの陽子崩壊探索実験において、主要なバックグラウンドとなることから、精密な測定が行われるようになった。ところが、その測定が進むにつれて、大気ニュートリノにおけるフレーバーの比 $R(\mu/e)$ が期待される値より小さく、約 60 % 程度であることがカミオカンデや IMB から報告されるようになり、このことは「大気ニュートリノ異常」として議論されることとなった。しかしながら、Fréjus や Nusex での観測からのフレーバーの比は期待値と有意な差は見られなかった。このことから、カミオカンデや IMB におけるフレーバーの比の異常は水チェレンコフ検出器の粒子識別能力の問題ではないかとも考えられた。そのため、カミオカンデのプロトタイプとして KEK に建設された 1kt の水チェレンコフ検出器を用いたビームテストが行われ、ミューオンと電子の識別に問題の無いことが確かめられた。

カミオカンデの後継実験であるスーパーカミオカンデでは統計量を大きく伸ばし、1998 年には ν_μ の天頂角分布において、地球内部を通過してきた ν_μ による上向き事象の数が減少していることを観測した。さらに、その上向き事象の減少は $\nu_\mu \leftrightarrow \nu_\tau$ の二世代間の振動で説明できることを示し、これをニュートリノ振動の証拠として発表した [2]。

大気ニュートリノ観測における今後の課題 大気ニュートリノ観測における今後の課題の一つは大気ニュートリノにおいて $\nu_\mu \rightarrow \nu_e$ の振動モードを観測することである。現在までにはこの振動モードは大気ニュートリノ観測を始め、加速器による実験でも確認されていないが、最近の計算結果から、 $\nu_\mu \nu_e$ の二世代間の混合角 θ_{13} を 0 でないと仮定したとき、図 1.1 のように数 GeV の狭

い領域で $\nu_\mu \rightarrow \nu_e$ の振動確率が大きくなる領域があることが分かっている。この振動モードを観測することができれば、 θ_{13} が 0 でないことの初めての証拠となる。

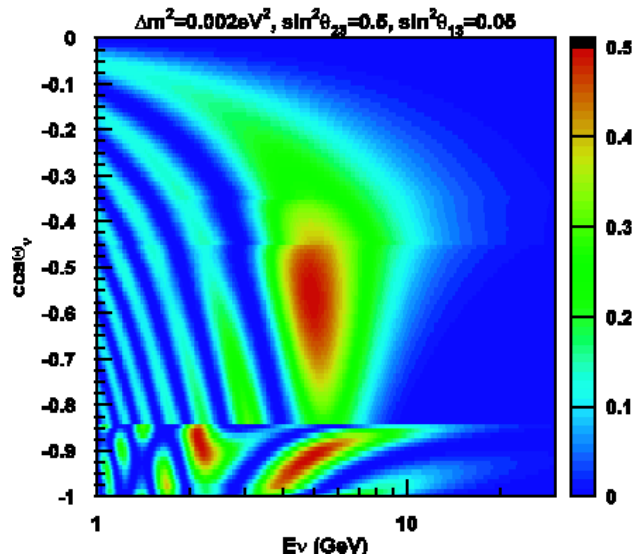


図 1.1 $\sin^2 \theta_{13} = 0.05$ を仮定して計算された $\nu_\mu \rightarrow \nu_e$ の振動確率

大気ニュートリノ観測からのエレクトロニクスへの要請 大気ニュートリノのような数 TeV にまで及ぶような高エネルギー事象では一つの光電子増倍管で観測される光電子の数は 1000 p.e.^{*1} 程度にまで及ぶ大きなダイナミックレンジを持つ。したがって、大気ニュートリノ観測では、電荷情報、時間情報の両方が重要になる。まず、反応点の再構成においては主に各光電子増倍管のヒットの時間情報が使われる。(ヒットとは、各チャンネルに入力された信号がディスクリミネータの閾値を越えることである。以下、特にことわりの無い限りヒットとはこの意味で使われる。) したがって、エレクトロニクスへの要請の一つ目としては、光電子増倍管の時間分解能より十分良い時間分解能を持つことが挙げられる。特に、高エネルギー事象では 1000 p.e. にも及ぶような大きな信号が入ることになり、一般的にそうした大きな信号では光電子増倍管の時間分解能も良くなることから、エレクトロニクスとしては光電子増倍管の性能を常に上回っている必要がある。また、エネルギーの再構成は、簡単には全ての光電子増倍管で観測された光電子の総数から計算することでなされるから、電荷の測定を精度良く行う必要と大きな信号に対しても飽和することの無い十分なダイナミックレンジが必要となる。

電荷の測定精度に関してはエネルギーを決定する際の不定性より十分小さくする必要があるだろう。ここで、電荷の精度と言うのは、絶対精度のことではなくて、相対的な測定精度のことである。というのは、絶対的な電荷の値は一光電子分布から決定されるため、エレクトロニクスでの絶対的

^{*1} photo electron の略。光電子増倍管で観測される電荷が光電子何個分に相当するかという意味で、電荷の単位のようにも使われる。

な電荷の測定値は重要ではないからである。重要なのは、相対的な測定精度である。大気ニュートリノにおいてエネルギーを求めるときの不定性は $\pm 2\%$ であるから、相対的な測定精度は個体差や温度変化による影響を受けるが、その影響化でも電荷測定の精度として 1% の精度は必要である。

また、大気ニュートリノのような高エネルギー事象でも 1 p.e. の電荷のデータは多く (リング数の決定や粒子識別に重要となる)、さらに、大きな電荷の測定においてもその基準となるのは 1 p.e. の電荷である。したがって、 1 p.e. の電荷の測定精度は非常に重要となる。 1 p.e. ($\sim 2\text{ pC}$) レベルの信号に対しても 1% に近い相対精度で測定できる必要がある。そのためには、エレクトロニクスの電荷分解能は少なくとも 0.1 pC 程度である必要があるだろう。

一方、ダイナミックレンジに関しては、エネルギーの高い粒子が多く発生するような事象では一つの光電子増倍管では 1000 p.e. 程度まで観測されることから、 1000 p.e. 程度までの電荷を測定できることが求められる。しかし、現在のエレクトロニクスでは約 200 p.e. までの電荷しか測定できない。したがって、高エネルギー事象に対しては現在のダイナミックレンジは十分ではなく、図 1.2 の赤色の線で示されるように、 GeV 以上の領域ではエネルギー分解能が悪くなるという現象が見られている。これを現在の 5 倍の 1000 p.e. にまで拡大した場合の分解能が図 1.2 中の緑色の線である。これにより、 10 GeV までのエネルギー分解能を 4% 以下に抑えることが可能となる。このエネルギー領域は大気ニュートリノ観測における今後の課題のところでも述べたように、 $\nu_\mu \rightarrow \nu_e$ 振動の観測のために重要な領域であり、図 1.1 のような狭いエネルギー領域での振動を見つけるためにはエネルギー分解能が十分良いことが欠かせない。

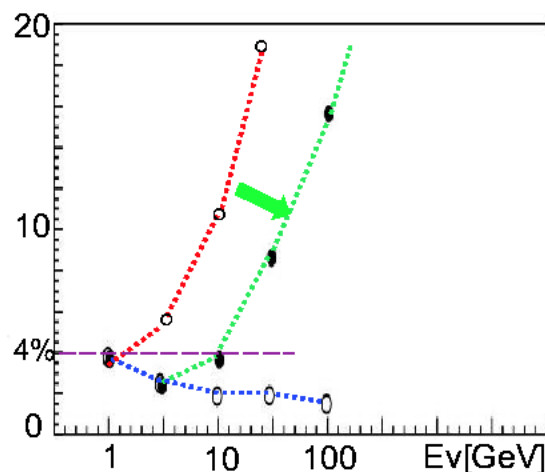


図 1.2 シミュレーションによって求められたダイナミックレンジとエネルギー分解能との関係。横軸はニュートリノのエネルギー、縦軸はエネルギー分解能である。赤色の線は現在のエレクトロニクスによる分解能、青色の線はどのような電荷に対しても飽和の無い理想的なエレクトロニクスを仮定したときのエネルギー分解能である。緑色の線は電荷測定のダイナミックレンジを現在の 5 倍の 1000 p.e. と仮定したときの分解能である。

さらに、検出器内で止まったミューオンの崩壊に伴う電子の観測も粒子識別とエネルギー較正の二つの意味で非常に重要である。ミューオンの寿命は $2.2 \mu\text{sec}$ であるから、数 μsec 間隔の連続した信号を取りこぼすこと無く取得できるようなエレクトロニクスが必要である。現在のエレクトロニクスでは二つまでの連続した信号を取得することを考えて構成されているのだが、最初の信号が入力されてから 400 nsec から 900 nsec までの間はデッドタイムとなってしまうている。もし、最初に信号が入力されたと同時にミューオンが検出器内で止まったとすれば、 400 nsec から 900 nsec までの間に崩壊する確率は 17% で、その間に崩壊した電子の信号を同じチャンネルでは取得できない。このデッドタイムの要因の一つはインピーダンスの不整合による信号の反射であり、新しいエレクトロニクスでは高精度なインピーダンスの整合を実現することも求められる。

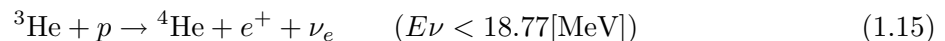
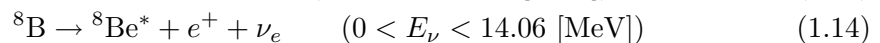
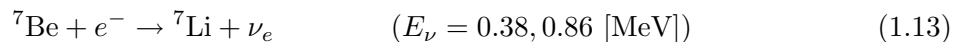
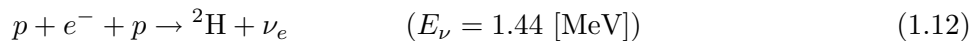
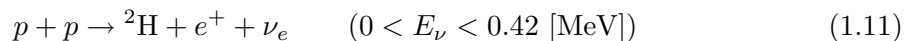
1.1.3 太陽ニュートリノ

太陽ニュートリノ発生機構 太陽をはじめ、恒星のエネルギー源が何であるかということは古来から大きな謎であった。核融合反応が発見されるまでは、化学反応や重力エネルギーなどのエネルギー源が考えられていたが、現在では太陽の質量とその年齢からまったく説明できないことが明らかになっている。現在では、水素原子核 4 個が核融合反応を起こしてヘリウム原子核となる水素の熱核融合反応が太陽のエネルギー源であると考えられている。この水素の核融合反応には CNO サイクルと $p-p$ チェインの二種類があるが、太陽内部では主に $p-p$ チェインが起こっていると考えられている。この $p-p$ チェインは 3 つの分岐枝を持つが、結果的には次のような反応式で記述できる。



式 (1.10) から分かるように、太陽内部の核融合反応からは大量のエネルギーとともにニュートリノが放出されている。もし、太陽のエネルギー源が全てこの反応によるものであるとすれば、 $6 \times 10^{10} \text{ [cm}^{-2}\text{s}^{-1}]$ のニュートリノフラックスが地球に降り注いでいることになる。

$p-p$ チェインにおいて、ニュートリノが発生する反応は次の 5 つである。



スーパーカミオカンデのエネルギー閾値は数 MeV (時期により違うが、およそ $4 \sim 6 \text{ MeV}$) であるから、スーパーカミオカンデにおいて観測可能であるのは、主に式 (1.14) の ${}^8\text{B}$ の反応により生成されたニュートリノである。(式 (1.15) の反応により生成されたニュートリノはエネルギー閾値としては観測可能であるが、図 1.3 にあるようにフラックスは非常に小さく、スーパーカミオカンデにおいて観測されていると断言することは現段階ではできない。)

太陽ニュートリノ問題 太陽ニュートリノは 1960 年代終わりに Davis らによって初めて観測された [5]。Davis らは次の反応によって、検出器中の ${}^{37}\text{Cl}$ が ${}^{37}\text{Ar}$ へと変化する量から太陽ニュー

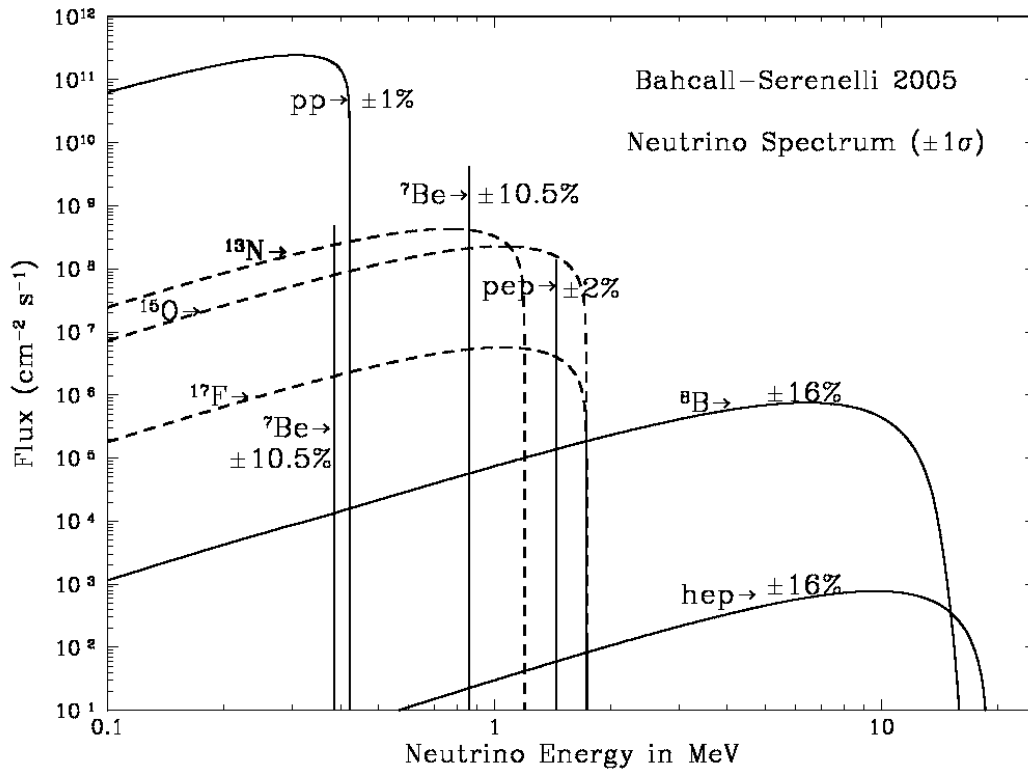


図 1.3 太陽ニュートリノのエネルギースペクトル [4]

トリノのフラックスを観測した。



ところが、この実験で測定された太陽ニュートリノのフラックスは理論値の約 1/3 しか無いことが分かった。その後行われたカミオカンデや GALLEX、SAGE などの太陽ニュートリノの観測においても、やはり、太陽ニュートリノフラックスの測定値は理論値の 1/3 から 1/2 程度しかないことが確かめられた。このことは太陽ニュートリノ問題として天体物理学における難問の一つとして残ることとなった。

この問題の解として、最も有力であったのが物質中でのニュートリノ振動、すなわち、MSW 効果によって、 ν_e が欠損しているという解である。しかし、カミオカンデやそれまでの実験からは決定的な答えは出せていなかった。

スーパーカミオカンデにおける太陽ニュートリノ観測 スーパーカミオカンデにおける太陽ニュートリノの観測では、水中で以下の反応により弾性散乱された反跳電子を検出する。

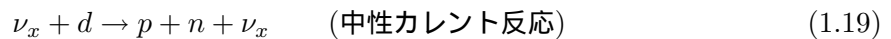
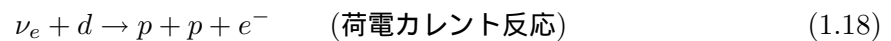


この反応は全てのニュートリノのフレーバー (ν_e, ν_μ, ν_τ) に対して中性カレント反応を通して

起こり、さらに、 ν_e に対しては荷電カレント反応によっても e^- は生成される。したがって、 ν_e に対する断面積は ν_μ 、 ν_τ に対する断面積に比べて 6 倍ほど大きい。すなわち、スーパーカミオカンデにおける太陽ニュートリノのフラックスは全てのフレーバーを測定していることになるのだが、 ν_μ 、 ν_τ に関してはその寄与は ν_e の 1/6 である。

1996 年から 2001 年までにスーパーカミオカンデにおいて測定された太陽ニュートリノ事象は約 22400 事象であり、それから計算された太陽ニュートリノフラックスは $2.35 \pm 0.02(\text{stat.}) \pm 0.08(\text{sys.}) \times 10^6 [\text{cm}^{-2}\text{s}^{-1}]$ [6] であった。この結果は標準太陽モデルの予測値の約 41 % となる。

一方、重水を用いた SNO 実験では弾性散乱に加えて、次のような荷電カレント反応と中性カレント反応についても観測することができる。



荷電カレント反応では ν_e のみのフラックスを測定することができる。そして、重水を用いた SNO 実験の最初の結果 [7] により、荷電カレント反応により観測された太陽ニュートリノのフラックスは予測値の約 35 % であった。

この二つの実験によるフラックスの違いは、太陽ニュートリノフラックスの中に、太陽内部の核融合反応からは生成されないはずの ν_μ もしくは ν_τ が含まれていることを意味し、太陽で核融合反応により生成した ν_e が ν_μ もしくは ν_τ へと振動していることの証拠となった。

太陽ニュートリノ観測における今後の課題 スーパーカミオカンデにおける太陽ニュートリノ観測の今後の課題の一つとしては、ニュートリノ振動から予測されるエネルギースペクトルの歪みを観測することが挙げられる。現在はその歪みは観測されていないが、その観測を実現するためには、統計量を増やすとともに、さらに低エネルギー領域の観測が求められる。

太陽ニュートリノ観測からのエレクトロニクスへの要請 スーパーカミオカンデにおいて観測される太陽ニュートリノのエネルギーは 10 MeV 程度である。そのような低エネルギー領域では、発生するチェレンコフ光子の数は非常に少ないから、各光電子増倍管で観測される光電子は殆ど 0 が 1 である。したがって、事象の再構成は簡単には以下のように行われる。

- 反応点 ← 各ヒットの時間情報から
- エネルギー ← 何個の光電子増倍管でヒットがあったか

よって、太陽ニュートリノのような低エネルギー事象の観測からエレクトロニクスへと要請されることは次のようになる。

1. 1 p.e. レベルでの時間分解能が光電子増倍管より十分良いこと
2. 1 p.e. レベルの信号に対してノイズが十分小さいこと
3. 高頻度の信号を高速に処理すること

このなかで、最初の 1. の要請は自明であると思われるから、後の 2 つについて説明する。

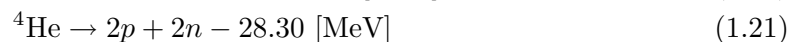
エネルギーの再構成では主に何個の光電子増倍管でヒットがあったかで決定されるのだから、エネルギー分解能はヒットの数が多いほど良くなることになる。一方、光電子増倍管の一光電子分布は次章で述べられるように、図 2.4 のようになるから、フロントエンドエレクトロニクスディスクリミネータの閾値を下げれば下げるほど、一光電子を捕らえる確率は高くなり、ヒットの数も多くなる。このことから、できるだけディスクリミネータの閾値を下げるのが求められるのだが、それには、ディスクリミネータの閾値を十分下げてもエレクトロニクス起因の偽のヒットが生じないように、低ノイズであることが求められるのである。例えば、20 インチ光電子増倍管における 1 p.e. の信号の振幅は約 -3 mV であるから、これに対して十分小さな閾値に設定できることが求められる。さらに、エレクトロニクスの低ノイズが実現されたとしても、光電子増倍管からくる暗電流を減らすことはできない。したがって、低ノイズだけでなく、十分高速に処理できることも求められるのである。

現在のエネルギー閾値より、さらに低エネルギーの観測をしようとして、トリガー発生の閾値を低くした場合（ここでいう閾値とは各チャンネルのディスクリミネータの閾値とは異なる）、バックグラウンドなどによる事象の頻度は非常に高くなることが予想される。そうなった場合、もはや、（トリガーの生成によらず）常時全てのヒットをエレクトロニクスでは取得してしまって、その後、多数の計算機でいらぬデータを落としていくという方法も選択肢の一つとなり得る。したがって、新しいエレクトロニクスへの具体的な目標としては、（実際に実現するかはともかく）全てのヒットの情報を、エレクトロニクスからオンラインのデータ収集システムの段階では取得できる、という性能にしておくことである。具体的な数字としては、現在の光電子増倍管の暗電流によるヒットの頻度は平均で約 3 kHz であるから、ある程度のマージンをとって、全てのチャンネルで常時 10 kHz のヒットがあったとしても、オンラインでは全てのヒットを取得し、全てを記録することをデッドタイム無く行うシステムが求められる。

1.2 超新星爆発ニュートリノ

超新星爆発 太陽ニュートリノの発生機構のところでも、太陽など恒星のエネルギー源は水素の核融合反応であると述べた。最終的には、核融合反応は止まってしまい、星は重力収縮を起こし、重力エネルギーを解放する。そのときに起こる大爆発が超新星爆発である。

太陽の約 8 倍以上の大質量の星においては、コアの水素が尽きると、続いて、ヘリウム、炭素などの核融合反応が続き、最終的には鉄のコアができる。鉄は最も安定な原子核であるから、ここで核融合反応は止まることになる。その結果、鉄のコアの収縮が進み、中心の温度は $3 \times 10^9 \text{ [K]}$ を超える高温になる。すると、式 (1.20) のような光分解反応が起こることによって鉄がヘリウムと中性子に分解し、さらには続く反応 (1.21) で、陽子が生成される。



この陽子は式 (1.22) のように電子捕獲反応を起こすことになる。



これにより電子の数が少なくなるので、電子の縮退圧が小さくなり収縮はさらに進むことになる。この過程により、大量のニュートリノが発生するが、密度が $10^{11} \text{ g cm}^{-3}$ を超えるような neutrino sphere と呼ばれる高密度の領域ではその高密度の物質に遮られ、ニュートリノでさえもコアの外へと出ていくことはできないため、この時点では放出されるエネルギーへの寄与は小さい。

重力収縮が進むにつれ、コアの密度は原子核の密度と同程度の高密度 ($3 \times 10^{14} \text{ g cm}^{-3}$) にまでなる。すると、今度は核力による反発によりコアの収縮は止められる。そこに外側の物質が超音速で自由落下してきて、コアにぶつかり跳ね返され、外側へと衝撃波をつくる。これをバウンスという。この衝撃波が届いた領域では、陽子や中性子が束縛状態から解放され、再び電子捕獲反応が起き、大量の ν_e が放出される。これが最初のニュートリノバーストとなる。このバーストは 10 msec のタイムスケールを持ち、放出されるエネルギーは数 10^{51} erg である。

この最初のバーストの後、衝撃波により高温となった領域では、次のような反応が起き、このときには全てのフレーバーのニュートリノが生成される。



このときに放出されるエネルギーは数 10^{53} erg でおおよそ 10 sec にわたって、放出される。

以上の様子を表したのが、図 1.4 である。数 10 msec 後に最初の ν_e によるピークがあり、それから約 10 sec かけて全てのフレーバーのニュートリノが放出されている様子が計算されている。

カミオカンデによる 1987A の観測 1987 年 2 月 23 日、地球から 50 kpc 離れた大マゼラン星雲に超新星 1987A が現れた。このときのニュートリノバーストによるニュートリノはカミオカンデにおいて 11 事象が観測された [9]。この超新星爆発のニュートリノの観測は史上始めてのものであり、さらに IMB においてもカミオカンデが観測した時刻と同時刻に 8 事象が観測された [10]。カミオカンデで検出された 11 事象は 12 秒間のうちに分布し、エネルギーは $7 \sim 35 \text{ MeV}$ に分布していたことから、放出された全エネルギーは $3 \times 10^{53} \text{ erg}$ と見積もられた。以上から、観測結果は理論とほぼ一致していることが確かめられた。

スーパーカミオカンデにおける超新星爆発の観測 もし、約 10 kpc 離れた銀河中心において超新星爆発が起きた場合、スーパーカミオカンデでは約 10000 もの事象を観測することができると計算されている。したがって、カミオカンデにおける観測ではその統計の少なさからできなかった様々な研究が可能となると考えられる。

例えば、光では遮られて観測ができなかった超新星爆発もニュートリノの観測からその方向を知ることができるということもその一つである。スーパーカミオカンデにおける観測は主に次の荷電カレント反応により生成された反電子を観測することになる。



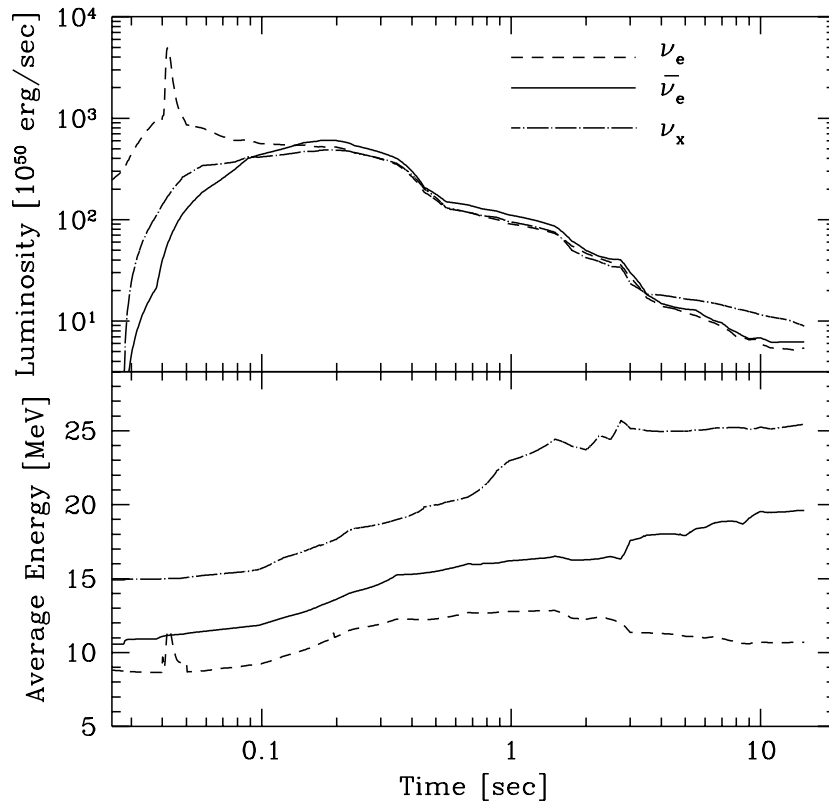


図 1.4 超新星爆発により放出されるニュートリノの光度とエネルギーの時間変化 [8]

それ以外にも次のような弾性散乱による 100 ~ 150 事象が観測されると計算されている。



この反応で散乱される電子は到来してきたニュートリノの到来方向と強い相関をも持つために、超新星爆発の方向を 4° の精度で測定することができる。

また、上に述べたような超新星爆発のモデルはまだまだ不定性の大きなものであり、十分な検証がなされたとは言えない。したがって、超新星爆発のモデルの検証のためにも、最初の 10 msec に起こるニュートリノバーストの観測やエネルギースペクトルの観測も欠かすことはできない研究である。

超新星爆発ニュートリノ観測からのエレクトロニクスへの要請 超新星爆発からのニュートリノのエネルギーは約 10 MeV であるから、エレクトロニクスへの要請としては太陽ニュートリノ観測からの要請と同様な要請がある。

しかし、それに加えて超新星爆発のニュートリノの観測では、短い時間 (~ 10 sec) に平均して約 1 kHz もの高頻度の事象 (銀河中心での超新星爆発の場合) が発生するという特徴がある。ニュートリノバーストの時間変化を追うのは非常に重要であるから、10 sec にわたる事象を全て正確に取り込む必要がある。したがって、次の二つの意味においてデッドタイムの無いシステムが必要と

なる。

1. 高頻度の事象を全て逃さず取得する
2. いつ起こるか分からない事象を観測する

このためにはまずはシステム全体の高速化が求められる。また、高速化が難しい場合にはそのボトルネックとなる箇所の直前に予想されるデータを取り込んでおけるバッファを用意する必要がある。

また、1 kHz のトリガーレートというのは超新星爆発が銀河中心で発生したと仮定してのことである。もし、これがその 1/10 の距離の約 1 kpc で発生したとなると、そのニュートリノのフラックスは 100 倍にもなると考えられる。そうした場合、トリガーレートは 100 kHz にもなると予想される。現在のシステムでは 100 kHz のトリガーレートに対して追いつくことはできないため、1 kpc といった距離で超新星爆発が起きた場合には全てのデータを逃さず取得することはできないであろう。したがって、システム全体の高速化が求められる。

1.3 新エレクトロニクス開発の動機

これまで、スーパーカミオカンデで行われている研究とそれぞれの観測からのエレクトロニクスへの要請について述べてきた。

当然のことながら、現在のエレクトロニクスは既にこういった要請を満たすために構成されているのだが、いくつかの問題点もあることが分かっている。3 章でもまた詳しく述べるが、主な問題点としては以下のようなものが挙げられる。

- 12 チャンネルを処理するフロントエンドボード一枚につき、ADC が一つしかない
 - アナログスイッチのクロストーク
 - AD 変換の処理待ち時間におこる電流漏れ
- アナログ入力部でのインピーダンスの不整合による反射がある

さらには、次のような問題もある。

- フロントエンドボードが 16 ビットのイベント番号のうち、8 ビットしか持っていない
- 消費電力が大きい
- 故障率の高さ（電解コンデンサの液漏れなど）

これらの問題点の克服がまず新エレクトロニクス開発の課題である。

一方では、大気ニュートリノ、太陽ニュートリノのさらなる精密観測やより近傍の超新星爆発も捕らえられるようにするためには次のような改善が求められることはこれまでに述べた。

- 電荷測定ダイナミックレンジの拡大
- 低ノイズ化

- 処理速度の高速化

- ミューオン崩壊の電子事象に対するバックグラウンドの削減
- トリガー発生閾値を下げてトリガーの頻度が大きくなっても処理できるシステム
- 近傍 (~ 1 kpc) で起きた超新星爆発による 100 kHz もの高頻度なトリガーレートを処理できるようにする

さらには、エレクトロニクスの改良によって、高エネルギー領域と低エネルギー領域での観測可能領域を広げることにより、新しく観測、研究可能となる物理も考えられている。以下では、それらの観測から要請されることについて述べる。

1.3.1 高エネルギー領域の観測可能領域の拡大

高エネルギー宇宙ニュートリノの観測 宇宙物理学における大きな問題の一つに TeV を超えるような高エネルギーのガンマ線の起源の問題があるが、その起源の機構として活動銀河核やガンマ線バーストにおける高エネルギーの陽子同士もしくは陽子と光子の衝突による π^0 の生成が考えられている。もし、これらが高エネルギーガンマ線の主な起源であるとすれば、次式のような過程も同様に起こると考えられ、この過程により高エネルギーのニュートリノも生成することが考えられる。

$$\begin{aligned} p + \gamma &\rightarrow X + \pi^\pm \\ \pi^\pm &\rightarrow \nu_\mu + \mu^\pm \rightarrow e^\pm + \bar{\nu}_e (\nu_e) + \nu_\mu + \bar{\nu}_\mu \end{aligned} \quad (1.26)$$

したがって、宇宙起源の高エネルギーのニュートリノは宇宙線起源と密接な関連があると考えられており、いくつかの実験がその観測のために始まりつつある。

この高エネルギーのニュートリノのフラックスはモデルによっては、数 10 TeV 以上のエネルギー領域で大気ニュートリノのフラックスを超えるという計算もある。しかし、何度か述べているように、スーパーカミオカンデにおける観測では、このエネルギー領域は電荷測定ダイナミックレンジの不足により、正しい電荷測定ができなくなるという問題が起きている。この観測のためにも電荷測定ダイナミックレンジの拡大は求められる。

1.3.2 低エネルギー領域の観測可能領域の拡大

超新星残骸ニュートリノの観測 過去に起きた超新星爆発によって放出されたニュートリノは拡散して、現在もニュートリノバックグラウンドとして宇宙空間に存在するはずである。この拡散したニュートリノのことを超新星残骸ニュートリノと呼んでいる。

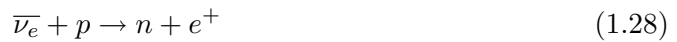
超新星残骸ニュートリノ検出には、低エネルギー領域での太陽ニュートリノによるバックグラウンド、高エネルギー領域での大気ニュートリノによるバックグラウンドがある。しかし、約 20 ~ 35 MeV にちょうど両方のバックグラウンドが小さくなる領域があるため、観測にはこのエネルギー領域が用いられる。ただし、それでもまだ深刻なバックグラウンドは残っており、

$$\nu_\mu + N \rightarrow \mu + X \quad (1.27)$$

で生成したミューオンのエネルギーがトリガーにかからないほど低く、かつ、崩壊して電子を放出した場合、観測された情報からは ν_e による事象であると区別できないのである。これにより、現在のスーパーカミオカンデによる上限値はこの ν_μ バックグラウンドにより決定されてしまっている。

この ν_μ バックグラウンドの区別のためには以下のような方法がある。

1. トリガーのかかる数 μsec 以前の情報から、トリガーにもかからないような μ の微小な信号を見つける。
2. 次のような逆 β 崩壊によってできた中性子が約 $200 \mu\text{sec}$ 後に陽子に捕獲されて 2.2 MeV のガンマ線を放出する反応を見つける。



現在のエレクトロニクスはこれらのどちらの実現も難しい。というのは、現在のエレクトロニクスでは、トリガーのかかる前の数 μsec の情報は取得できず、さらに、時間測定のダイナミックレンジは $200 \mu\text{sec}$ より遥かに小さいからである。このため、新しいエレクトロニクスでは、トリガーのかかる前の情報を取得することがまず求められ、さらには、約 $200 \mu\text{sec}$ の間強制的にトリガーをかけ続けるといったトリガーの改良も考えられる。

原子炉ニュートリノの観測 原子炉からは ^{235}U や ^{239}Pu が核分裂することに伴って放出される $\bar{\nu}_e$ が放出される。これを検出するためには超新星残骸ニュートリノの観測と同じように式 (1.28)、(1.29) の信号を見つけなければならない。

さらに、原子炉ニュートリノの測定のためには現在より観測エネルギー閾値を大きく下げる必要がある。そして、エネルギー閾値を下げることで、トリガー発生の頻度は高くなることが予想される。例えば、事象の発生頻度が 100 kHz にもなってしまった場合について考えてみる。そうした場合、事象間の時間差は平均して $10 \mu\text{sec}$ となり、時間測定のダイナミックレンジを拡げるという要請と同時に実現してしまうと、殆ど常時データを取得し続けるという状態と変わらなくなってしまう。したがって、太陽ニュートリノ観測エネルギー閾値の低下の為の要請と同じく、トリガー生成に関わらず常に全てのヒットを取得できるようにすることが必要となってくる。

1.3.3 新エレクトロニクスへの要請のまとめ

様々な要請をばらばらに述べたので、最後にまとめて表にした。表は新しいエレクトロニクスへの改善点とこれまでのエレクトロニクスにも要請されていた点の二つに分けた。

これらを実現するためのシステムの設計に関しては 4 章で述べることになる。

表 1.1 エレクトロニクスへの要請

電荷測定 (相対) 精度	1 % 以下
電荷分解能	0.1 pC
時間測定精度	光電子増倍管より十分小さいこと
デッドタイムの無い読み出し	超新星爆発とミューオン崩壊の信号の取得のため
低ノイズであること	現状で -1 mV のディスクリミネータ閾値が可能

表 1.2 新エレクトロニクスの新たな改善目標

改善項目	改善目標
電荷測定ダイナミックレンジ	2500 pC (~ 1000 p.e.) まで
時間測定のダイナミックレンジ	トリガー前後の数 μsec の事象の取得
低ノイズ化	ディスクリミネータ閾値を -0.5 mV まで下げる
低消費電力化	1 W/ch 以下
高精度のインピーダンス整合	反射係数 0.1 % 以下
トリガーの改良	中性子による約 200 μsec 遅延した信号の取得
AD 変換、データ転送などの高速化	ミューオン崩壊電子事象に対するデッドタイムの削減 常時 10 kHz/ch の暗電流によるヒットの処理 約 10 sec 間の 100 kHz の超新星爆発の信号の処理

2 スーパーカミオカンデ

2.1 測定原理

物質中で荷電粒子が光の位相速度よりも速い速度で走ると、チェレンコフ光と呼ばれる光が放射される。スーパーカミオカンデではこの光を検出することにより様々な事象を観測する。

物質中での光の速度は屈折率を n とすれば c/n であるから、荷電粒子の速度を v とすれば、チェレンコフ光を放射するためには次の条件を満たす必要がある。

$$v > \frac{c}{n} \quad (2.1)$$

水の屈折率は 1.33 であるから各粒子のチェレンコフ光を放出できる最小のエネルギーは表 2.1 のようになる。

表 2.1 チェレンコフ光を放出する最小の (全) エネルギー

エネルギー閾値 [MeV]	
e^\pm	0.77
μ^\pm	157
π^\pm	208

チェレンコフ光は一種の衝撃波と考えられるから、その放射される方向は荷電粒子の進む方向との角度を θ とすれば、次の条件を満たすような円錐状に放出される。

$$\cos \theta = \frac{1}{n\beta} \quad (2.2)$$

ここで、 $\beta = v/c$ である。

また、単位長さ当たり、単位波長当たり放出されるチェレンコフ光子の数は次の式で表される。

$$\frac{dN}{d\lambda dx} = \frac{2\pi\alpha z^2}{\lambda^2} \left(1 - \frac{1}{n(\lambda)^2\beta^2} \right) \quad (2.3)$$

ここで、 ze は粒子の電荷量である。

これより、その速度が光速に近い ($\beta \simeq 1$) 荷電粒子が水中を走る場合には放出角度は約 42° となり、一般的な光電子増倍管が感度を持つ領域である 300 nm ~ 600 nm の波長領域では 1 cm あたり 340 個の光子を放出する。

放射されたチェレンコフ光はタンク壁面に取り付けられた光電子増倍管によってほぼ円形の分布で検出される。それぞれの光電子増倍管の位置や時間、電荷の情報から粒子のエネルギー、種類、発生点やその進行方向などの情報をリアルタイムで得ることができる。

2.2 検出器

スーパーカミオカンデで用いられる水チェレンコフ検出器は高さ 41 m、直径 39 m のステンレスでできた円筒筒状のタンクの中に、総重量にして約 50000 トンの純水を満たしたものである。その全体図を図 2.1 に示す。タンク内は光学的に分けられた内水槽と外水槽がある。内水槽の純水の総重量は約 32000 トンである。内水槽の壁面には光の反射を抑えるためのブラックシートが張られ、11146 本の 20 インチ光電子増倍管が取り付けられ、内水槽壁面に占める光電面の面積は約 40 % である。また、外水槽はタンクの外の岩盤から放射される γ 線や中性子を遮断する役目と、宇宙線ミュオンなどの検出器外部から飛来する荷電粒子のバックグラウンドを識別するという役目がある。そのため、外水槽壁面には光の収集効率を上げるために白いタイベックシートが張られ、1885 本の 8 インチ光電子増倍管が外向きに取り付けられている。

ただし、2001 年に起こった光電子増倍管の破損事故のため、2002 年から 2005 年までの観測は内水槽の光電子増倍管の数を約 5200 本にして行われた。2005 年後半に開始された完全再建作業は 2006 年の前半には終了し、元の約 13000 本での観測が再開される予定である。

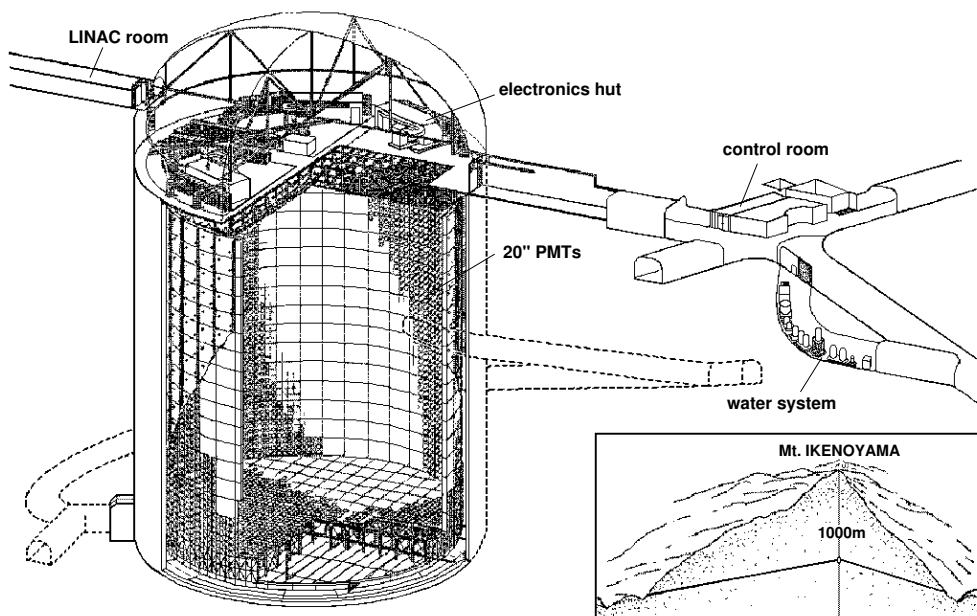


図 2.1 スーパーカミオカンデ検出器の全体図

2.3 光電子増倍管

スーパーカミオカンデの内水槽で用いられている直径 20 インチ (50cm) の光電子増倍管は、もともとカミオカンデのために開発された光電子増倍管に改良を加えたものである。その改良により、時間分解能や集光効率などが高められた。全体図を図 2.2 に示す。また、その詳細は [12] に述べられている。

光電面はバイアルカリ (Sb-K-Cs) でできている。その量子効率は図 2.3 に示したように、有感領域は 280 nm ~ 660 nm で、390 nm の波長の光に対して量子効率は最大の 22 % となる。また、印加されている電圧は 1700 V から 2000 V であり、ゲインはおよそ 10^7 になる。これより、一つの光電子は約 2 pC まで増幅されることになる。このときの信号の振幅は約 -3 mV になる (50 Ω で終端したとき)。

また、20 インチ光電子増倍管の一光電子分布を図 2.4 に示す。一光電子のピークがはっきりと見えていることが分かる。現在、各フロントエンドエレクトロニクスが信号を認識する閾値は、この分布のちょうど「谷」にあたる 1/4 p.e.(= -1 mV) と設定されている。また、1/4 p.e. の閾値にかかる暗電流によるヒットの頻度は平均して約 3 kHz である。

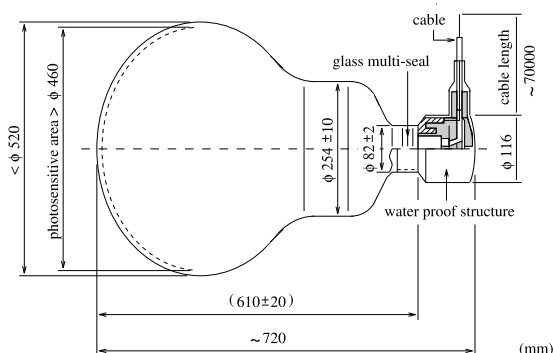


図 2.2 20 インチ光電子増倍管の全体図

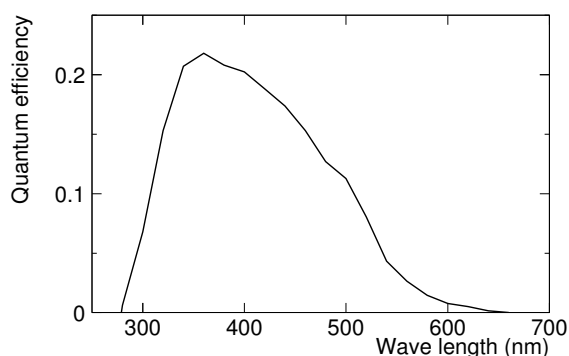


図 2.3 20 インチ光電子増倍管の量子効率

時間分解能 このような大口径の光電子増倍管では、光子が光電面のどこに当たるかによって光電子がダイノードに到達するまでの時間差などが生じてしまう。この時間差を少なくするために第一ダイノードの面積を大きくするなどの改良が行われ、その結果、図 2.5 に見られるように時間分解能 (Transit Time Spread) は 2.2 nsec (1 p.e. の信号において) となった。個体差を考慮しても約 3 nsec の分解能^{*2}は達せられており、これはカミオカンデに用いられていたものより、約 1.5 倍の改善となった。

*2 ただし、この測定には光子が光電面のどこに当たるかによって生じる時間差 (~ 1 nsec) も含まれている。

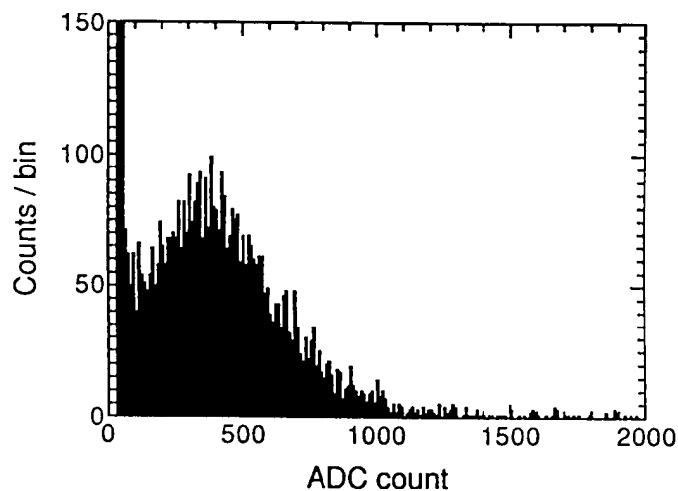


図 2.4 20 インチ光電子増倍管の一光電子分布 [12]。0 付近のピークは暗電流によるものである。

また、信号の大きさと光電子増倍管の時間分解能の関係を図 2.6 に示す。この図から分かるように、光電子増倍管の時間分解能は信号が大きくなるほど向上し、100 p.e. の大きさの信号では 0.6 nsec の時間分解能となる。エレクトロニクスとしてはこの時間分解能を十分上回るものでなくてはならない。

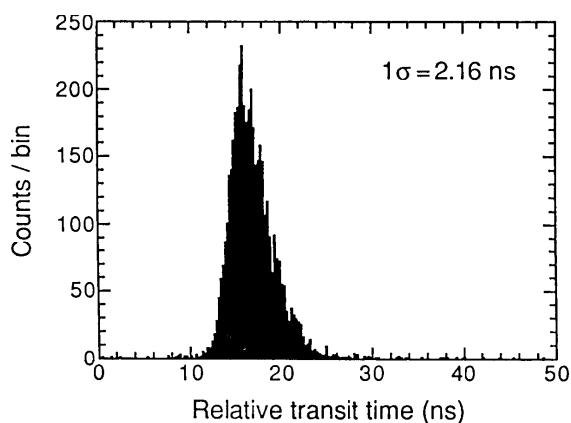


図 2.5 光電子が発生してから信号が出てくるまでの到達時間の拡がり (Transit Time Spread) [12]。この時間の拡がりが光電子増倍管の時間分解能に相当する。

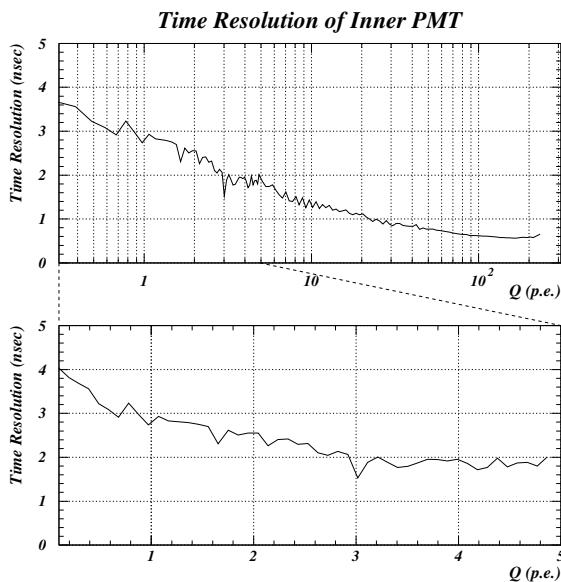


図 2.6 信号の大きさと 20 インチ光電子増倍管の時間分解能の関係

信号の時間特性 光電子増倍管からの信号は全て 70 m の同軸ケーブルを通過して、フロントエンドエレクトロニクスまで到達することになる。同軸ケーブルといえども 70 m もの距離を伝送させると減衰は無視できなくなってくるので、減衰に対する考慮も必要である。実際の 70 m の同軸

ケーブル (RG-58) の減衰の周波数特性を図 2.7 に示す。この図から分かるように周波数の高い成分ほど表皮効果などによって 70 m の同軸ケーブルを伝送する途中に減衰してしまう割合が高くなってしまふ。その結果として、フロントエンドで観測される光電子増倍管の信号の波形は本来の光電子増倍管の信号の波形から (立上り時間の速い成分が削ぎ落とされて) なまった波形が観測される。実際に観測される信号の立ち上がり時間と立ち下がり時間は図 2.8 のように約 20 nsec である。この波形を FFT(高速フーリエ変換) によって周波数解析した結果が図 2.9 である。この図から電力の殆どの成分はおよそ 30 MHz までに存在していることが分かる。

したがって、フロントエンドのアナログ入力部にはおよそ 100 MHz の周波数帯域があればよいということが分かるまた、時間分解能などの測定にあたってはこのことを考慮し、できるだけ実際の信号の立ち上がり時間などを再現して測定する必要がある。

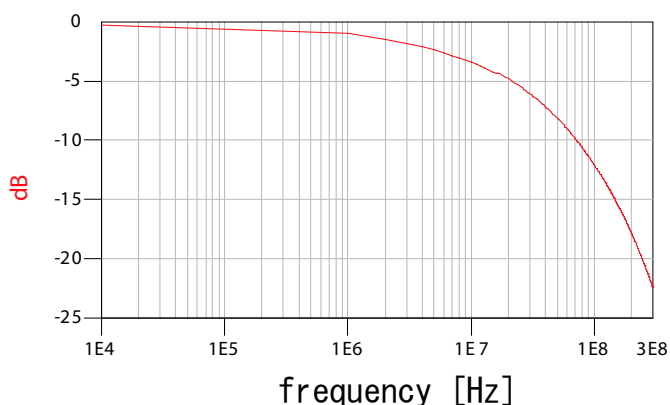


図 2.7 70 m の同軸ケーブルの損失の周波数特性。横軸は周波数 [Hz]、縦軸は損失 [dB]。300 MHz 以上の成分では 1/10 (= -20 dB) 以下になってしまうことが分かる。

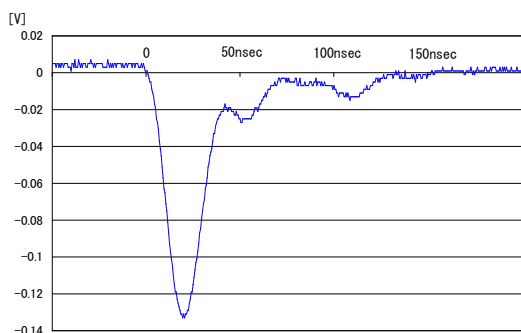


図 2.8 70 m の同軸ケーブルを伝送した後の 20 インチ光電子増倍管の波形の例。(1 GHz の帯域を持つデジタルオシロスコープで取得した)

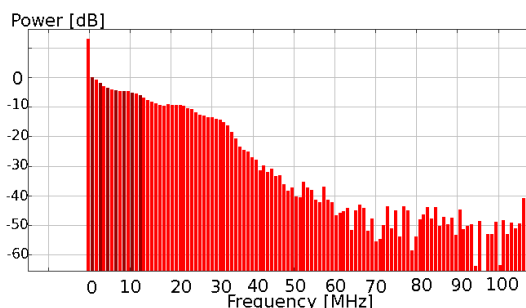


図 2.9 図 2.8 の波形の FFT による周波数解析結果

2.4 オンラインデータ収集系

データ収集系に関しては次章でまた詳しく述べることになるので、ここでは、ごく簡単な流れを述べるにとどめる。

水槽の上には、セントラルハットと4つのエレクトロニクスハットと呼ばれる各種のエレクトロニクスが入った小屋がある。約13000本の光電子増倍管からの信号はまず、4つのエレクトロニクスハットに送られ、その中でAD^{*3}変換される。その後、ハットにつき2つあるオンライン計算機で処理され、中央のセントラルハットのホストのオンライン計算機へと送られる。

セントラルハットでは、ホストのオンライン計算機が各ハットから集められた光電子増倍管の信号のデータを並べ替えるなどして事象を再構成し、その後、それらの情報はオフライン計算機へと送られる。さらに、セントラルハットにはトリガー生成のためのロジックがあり、各ハットの情報からトリガーの生成の判断を下すこともここで行われる。

2.5 キャリブレーション

スーパーカミオカンデで行われるキャリブレーションは多岐にわたり、主なものを挙げると以下のようなものがある。

- 水の透過率の測定
- 光電子増倍管の相対利得キャリブレーション
- 相対時間キャリブレーション
- エネルギーキャリブレーション
 - － LINAC によるキャリブレーション
 - － ¹⁶N の崩壊を用いたキャリブレーション
 - － ミューオン崩壊電子によるキャリブレーション
 - － 検出器内で止まったミューオンによるキャリブレーション

他にも、フロントエンドエレクトロニクスである ATM のキャリブレーションなどがある。

ここでは全てのキャリブレーションについて述べることはせず、エレクトロニクスとの関連から、相対時間のキャリブレーションについてだけについて述べることにする。

相対時間キャリブレーション この相対時間のキャリブレーションでは、同軸ケーブルの長さの個体差についての補正を行うだけでなく、信号の大きさによる依存性の補正も行うことを目的としている。信号の大きさによる依存性とは、信号が大きいほどディスクリミネータの閾値を越えるまでの時間が早くなるという、タイムウォークと呼ばれる効果のことである。

このキャリブレーションには窒素レーザーが使われる。このレーザーから発せられた光は二つに

*3 Analog to Digital の略。

分けられ、一方は光ファイバーを通してタンク内の拡散ボールに行き、もう一方は光の強度のモニターのために使われる。拡散ボールは MgO の粉末を含んだアクリルできており、光は MgO の粉末によって拡散されて放射されることになる。

測定はいくつかの光の強度で行われ、その測定結果が図 2.10 である。この図を見ると、約 1 p.e. と約 100 p.e. での時間差は 10 nsec にも及ぶことが分かり、精度の良い時間測定には欠かせない補正であることが分かる。この図のような時間 (T) と電荷 (Q) との関係は TQ-map と呼ばれており、この対応関係は全ての光電子増倍管、チャンネルで異なるため、全てのチャンネルにおいてそれぞれの TQ-map が作られることになる。

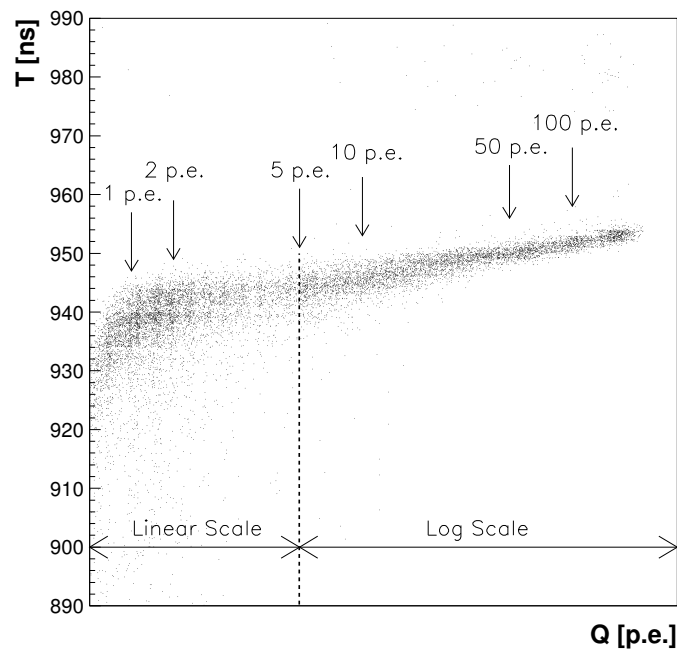


図 2.10 TQ-map。横軸は光量、縦軸はヒットの発生時間を表す。この値が大きいほど、ヒットの発生は早いということを示している。

3 現行のデータ収集エレクトロニクス

1章で述べたような多様な事象に対応するためにスーパーカミオカンデにおけるエレクトロニクスには多くの要請が課されている。

この章では、様々な要請を満たすために現在のエレクトロニクスがどのように構成されているかについて述べる。さらに、現在のエレクトロニクスが抱えるいくつかの問題点についてもこの章で述べていくこととする。また、現在のデータ収集システムに関しては [15] [16] [17] [18] [19] にその詳細が述べられている。

3.1 データ収集システムの概要

現在のデータ収集システムの全体図を図 3.1 に示す。各光電子増倍管からの信号はまず ATM (Analog Timing Module) と呼ばれるモジュールへと入力される。ATM は 1章で述べられたような要請を満たすように、スーパーカミオカンデ実験のために開発された TKO^{*4} 規格のフロントエンドモジュールである。ATM の各チャンネルは光電子増倍管から信号が入力されるとその信号の大きさと到達時間の情報とともに電荷として保持する。この時点では未だその信号が取得すべきものか判断できないために AD 変換までは行わない。ATM は信号入力のあったチャンネルの数に比例した振幅の HITSUM 信号を出す。すべての ATM からの HITSUM 信号は一ヶ所に集められ、それらの振幅は加算される。全ての ATM からの HITSUM の和がある閾値を超えたところで、トリガー生成部はグローバルなトリガーを生成し、その信号は TRG というモジュールを介して全ての ATM へと分配される。グローバルなトリガーを受け取った ATM はそれまで保持していた電荷を ADC により信号の電荷情報と時間情報を同時に AD 変換する。さらに、各 ATM からは PMTSUM 信号としてその ATM へと入力されている信号のアナログ和も出力されており、その出力は Flash ADC へと入力され波形の情報も取得されている。

ATM で AD 変換された信号の情報は、SCH^{*5} を介して SMP (Super Memory Partner) と呼ばれるメモリーモジュールへと転送され、一旦格納される。格納されたデータは VME バスを通じてオンライン計算機へと転送され、さらにセントラルハットのオンラインホスト計算機へと集められる。

以上がデータ収集システムの一連の流れである。次節からは、各部の詳細について説明する。

^{*4} Tristan KEK Online の略。Tristan 実験のために KEK の回路室で開発された規格。

^{*5} Super Control Head の略。SMP から送られるコマンドに基づいて TKO モジュールを制御し、TKO と SMP 間のデータの送受信を司る。

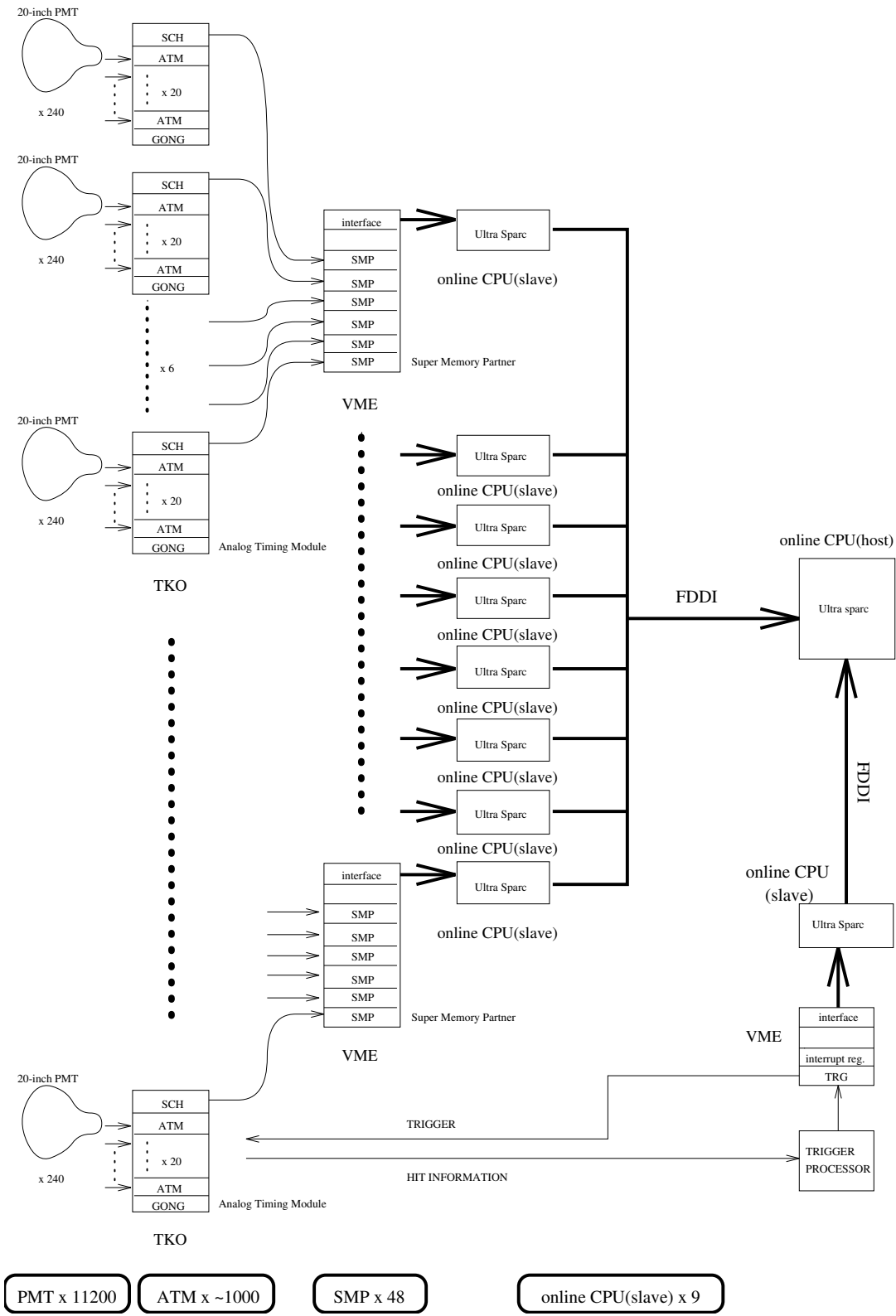


図 3.1 現在のデータ収集システムの全体図

3.2 時間電荷測定モジュール (ATM)

現在の ATM の仕組みの詳細について述べるのは本論文の主旨とはずれるので、ここでは簡単にその特性を述べるにとどめる。ただし、詳細な仕組みを知っておくことは、現在の ATM の問題点の理解の助けになると思われる。そこで、付録 A にて、現在の ATM に信号が入力されてからの処理の流れを述べておいたので、適宜参照して頂きたい。

3.2.1 現在の ATM の特性のまとめ

ATM の主な特性については表 3.1 にまとめた通りである。

現在の ATM の特徴としては一つの ADC で 12 チャンネルの信号の処理を行うということがある。信号の到来時間と電荷量はそれぞれ TAC と QAC と呼ばれる回路により、電荷に変換されてから ADC により AD 変換されることになる。また、その ADC は 12 ビット分解能であるから、0.2 pC/Count の分解能を求めるとダイナミックレンジは必然的に約 400 ~ 600 pC しかないことになる。

さらに、TAC と QAC は 1 チャンネルにつき、2 つずつあり、連続する信号を取得できるようになっている。ただし、最初の信号が入力されてから 400 nsec ~ 900 nsec の間はデッドタイムとなっている。

また、電荷線型性と時間線型性については直線ではフィットしては十分な精度が得られないため、数 pC(nsec) 毎にとったデータを直線で補間した値が用いられている。

表 3.1 現在の ATM の仕様と特性

チャンネル数	12 ch/board
1 ヒットの処理時間	約 5.5 μ sec
電荷測定ダイナミックレンジ	約 400 ~ 600 pC (12 ビット)
時間測定ダイナミックレンジ	約 1300 nsec (12 ビット)
電荷分解能	0.2 pC/Count
電荷測定精度	0.2 pC (RMS)
時間分解能	0.3 ~ 0.4 nsec/Count
時間測定精度	0.4 nsec (RMS)
温度依存性 (QAC)	3 Count/ \leftrightarrow 0.6 pC/
温度依存性 (TAC)	2 Count/ \leftrightarrow 0.8 nsec/
イベント番号	8 ビット
1 ヒットあたりのデータ量	6 Byte
FIFO (メモリ)	2 kByte (~ 340 ヒット)

3.3 SMP

SMP とは TKO システムを SCH を通じて制御するモジュールである。このモジュールもデッドタイムの無い読み出しを実現するためにスーパーカミオカンデ実験のために開発された VME 規格のモジュールである。ATM から SMP へのデータ転送は スパースデータスキャンと呼ばれる転送方式であり、その転送レートは実勢で ~ 2 MByte/sec である。スパースデータスキャンではまず GONG^{*6}から 16 ビットのイベント番号を読み出し、次に各 ATM のヒットのデータを読み出していく。また、このスキャン中にも ATM は光電子増倍管からの信号を処理することができる。

さらに、SMP は二つのバッファを持ち、一方のバッファがオンライン計算機の方を向き、データが読み出されているときでも、もう一方のバッファでは TKO 側を向き、スパースデータスキャンによりデータを格納することができる。これによって、ATM → SMP 間の転送はデッドタイム無く行えることになる。

3.4 トリガーシステム

以上では、ATM と SMP を中心として現在のフロントエンドとリアエンドのデータ収集システムの概要を述べてきた。ここでは、トリガーがどのように生成され、また、どのように分配されているかを述べる。

3.4.1 HITSUM

現在のスーパーカミオカンデのトリガー生成は基本的に HITSUM で決定される。HITSUM とは 1 ヒットごとに出力される幅 200 nsec の振幅 -15 mV の HIT 信号の全てのチャンネルの和をとったものである。この HITSUM の信号レベルがある閾値を越えたときにグローバルなトリガーが生成される。

ところで、HIT 信号が 200 nsec である理由は次のとおりである。一つの事象の時間的な拡がり最大となるのは荷電粒子がタンクの端から端へと斜めに通り抜ける場合であり、チェレンコフ光が斜めに走るのにかかる時間は約 200 nsec である。したがって、HIT 信号を 200 nsec に設定しておけば、どんなに時間的な拡がりを持った事象でも、一つの事象で生成された殆どの HIT 信号はどこかで重なることになるのである。HITSUM とトリガーの関係を図 3.2 に示した。

さて、スーパーカミオカンデにおけるトリガーの種類は主に HE (High Energy)、LE (Low Energy)、SLE (Super Low Energy) の三種類がある。これらの違いは HITSUM の閾値の違いである。HE、LE、SLE の順に閾値は低くなり、それとともにトリガーレートも高くなっていく。

SLE トリガーはこの中でも少し特殊なトリガーで、一種のインテリジェントトリガーである。

^{*6} GO NoGo の略。TKO のバスラインを制御するモジュール。スーパーカミオカンデで用いる GONG はさらに ATM の機能を補完する役目も持つ。その一つが 16 ビットのイベント番号を持つことである。

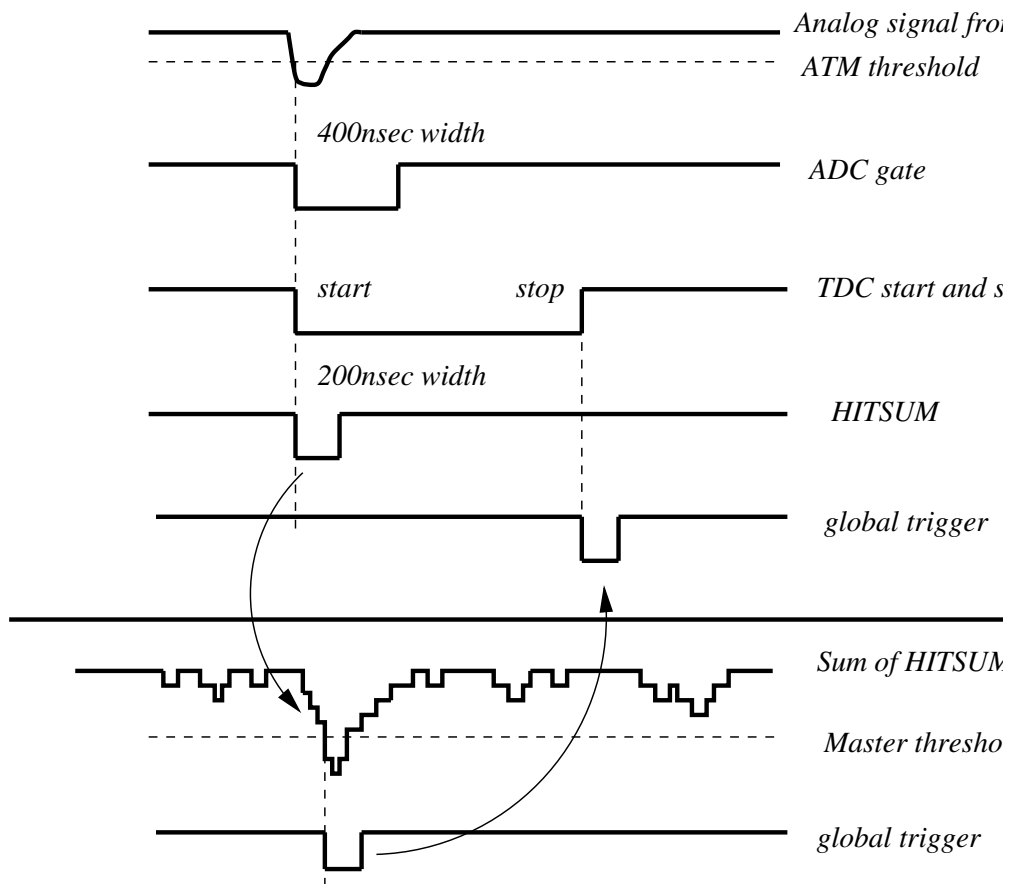


図 3.2 HITSUM とトリガーの関係

ただし、フロントエンドエレクトロニクスとしては本質的には他のトリガーと変わり無く、トリガーが発せられたら ATM は信号の電荷、時間情報を AD 変換し、SMP へと転送するところまでは同じである。ただし、このときトリガー閾値は非常に低く設定されるので、岩盤からのガンマ線や光電子増倍管自体からの放射、水に含まれるラドンなどからのバックグラウンドによる事象のレートが高くなる。そのために、そのまま全てのデータを残しておいてはデータ量が膨大になってしまう。そこで、このトリガーで取得されたデータはリアルタイムで解析され、フィルターにかけられる。このフィルタリングでは各ヒットの時間情報から反応点を再構成し、反応点が有効体積の外であった場合にはその事象を捨てている。現在では、このリアルタイムの処理に 12 台の計算機を用い、約 1 kHz のトリガーレートに対しても処理できるようになっている。

3.4.2 TRG

HITSUM がある閾値を越えて生成された HE、LE、SLE などのトリガーはまず TRG と呼ばれる VME 規格のモジュールに送られる。

TRG はトリガーが入力されると、約 30 nsec 後にグローバルなトリガー信号を発生し、その信号は GONG を介して全ての ATM へと分配される。また、TRG 内では 16 ビットのイベントカウンタを持ち、トリガーの入力によってそのカウンタはインクリメントされる。このイベント番号も GONG を介して全ての ATM へと分配される。ただし、ATM は 8 ビットのイベント番号しか持つことができないので、スパースデータスキャン時に GONG から 16 ビットのイベント番号が読み出されることになる。

さらに TRG のもう一つの大きな機能はトリガーの種類と入力された時間を記録しておくことである。記録されるトリガーの種類に関しては、最初に入力されるトリガーだけではなく、それから約 280 nsec の間に入力されたトリガーの種類も記録される。一方、トリガーの入力時間については、TRG の内部の 50 MHz のクロックでカウントされるカウンタが用意されており、これにより、20 nsec の分解能でイベント間の時間差を知ることができる。このカウンタは 48 ビットのカウンタであるから、カウンタが一回りするまでに約 150 時間かかることになり、データ収集の一つの区切りである「ラン」の最大の時間 24 時間でも同じカウント値は存在しないことになる。

3.5 現在の ATM の問題点

1 章でも挙げたように、現在の ATM はいくつかの問題点を抱えている。以下ではそれらの詳細について述べていくことにする。

インピーダンスマッチング 光電子増倍管からの信号が伝えられる同軸ケーブルのインピーダンスは 50Ω であるから、ATM への入力インピーダンスも 50Ω で終端されていなくてはならない。もし、精度良くインピーダンス整合がなされていない場合には ATM へと入力された信号の一部が反射して光電子増倍管側に流れていくことになる。一方、光電子増倍管側の入力インピーダンスは $10 \text{ k}\Omega$ であるので、光電子増倍管へと入力された信号はほぼ 100 % 反射されてしまい、再び ATM へと入力されてしまう。同軸ケーブルの長さは 70 m であり、同軸ケーブル内での信号の伝播速度は約 0.2 m/nsec であるから、反射された信号が再び ATM へと入力されるまでにかかる時間は $70/0.2 \times 2 = 700 \text{ [nsec]}$ となる。

こういった現象が生じるので、インピーダンス整合は精度良くなされているべきであるのだが、実は現在の ATM は大きな信号が入力されると約 700 nsec 後に約 3 % の振幅の反射波形が観測されることが分かっている。例として Flash ADC で取得した波形を図 3.3 に示した。

この反射が起こるのはおそらく入力部トランジスタのインピーダンスの周波数特性が考慮されていなかったため、速い周波数成分を含む信号に対しては、入力インピーダンスが 50Ω ではなくなくなってしまうためであると考えられている。大きな信号に対してはこの反射波形もディスクリ

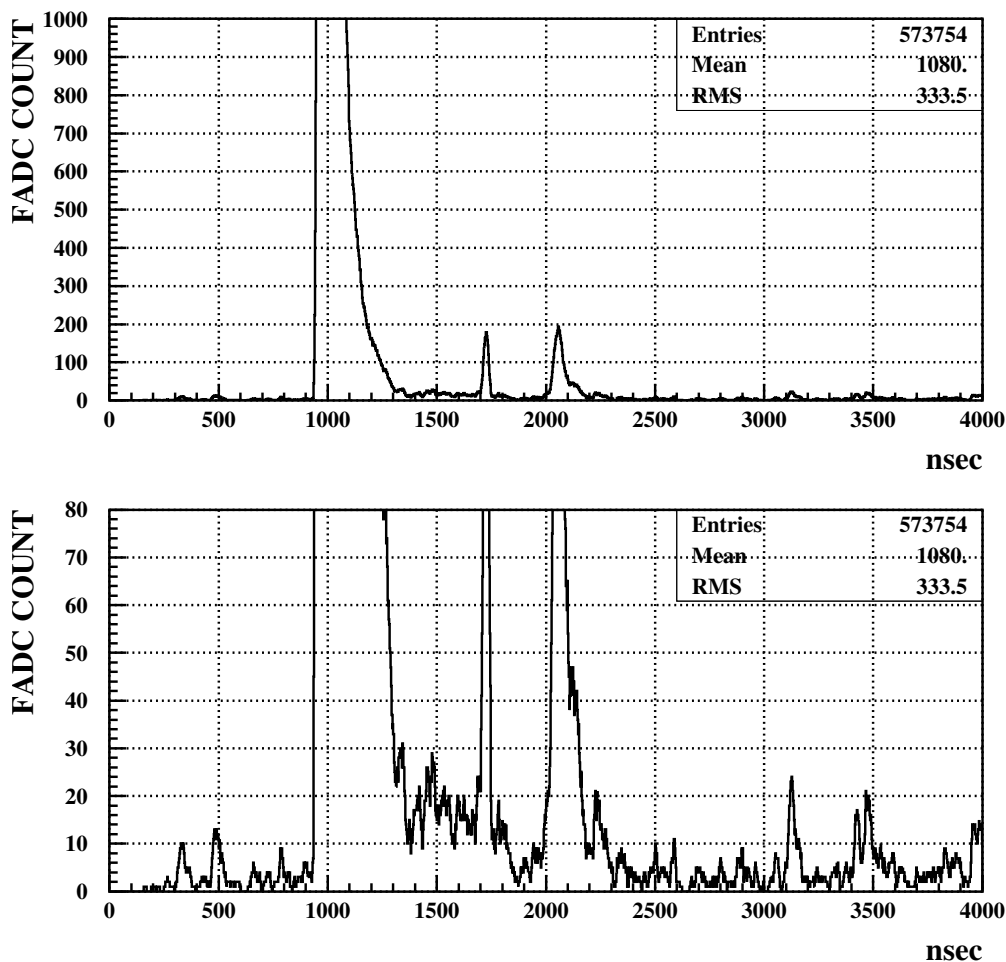


図 3.3 Flash ADC で取得した反射波形。下図は上図の拡大図。1000 nsec 付近の大きな信号がミュオンによる信号であり、その約 700 nsec 後にきている小さな信号が反射による波形である。さらに、2000 nsec 付近の信号はミュオンの崩壊による電子の信号であると考えられる。

ミネータの閾値に十分かかりうるから、この反射波形は偽の事象をつくってしまうことになる。図 3.3 は全てのチャンネルの波形のアナログ和であるからなおさらではあるが、図 3.3 を見た限りでは、ミュオン崩壊の電子事象と反射の波形の区別が難しいことが分かる。最初の信号入力から 900 nsec の間、次にやってくる信号を無視するように設定されているのはこのことを防ぐためである。ただし、このためにミュオンの崩壊事象に対するデッドタイムができてしまっている。

また、最近になって、同軸ケーブルと TKO のアナログ入力用の 40 ピンのコネクタとをつなぐ入力カード (図 3.4) の部分によってインピーダンスの整合が悪化することが分かっており、たとえば ATM 側が理想的に 50Ω で終端されていたとしてもこの入力カードによって、1.3% の反射が起きることが分かった。図 3.5 が測定されたインピーダンスで行ったシミュレーションの結果であり、はっきりと反射波形を見て取ることができる。

したがって、精度の良いインピーダンス整合の実現のためにはこの入力カードも同時に改良する必要がある。

さらに、この入力カードはチャンネル間のアイソレーションに関して問題があり、最もアイソレーションの悪いチャンネル間では 0.5 % のクロストークを引き起こしていることも分かっており、そのことから入力カードの改善が求められる。

反射係数の目標値としては数 100 mV の振幅の信号が引き起こす反射が無視できる程度が求められる。無視できるというのは、すなわち、ディスクリミネータにかからないことであるから、反射係数としては $1/1000$ ($= -60$ dB) 程度が求められる。

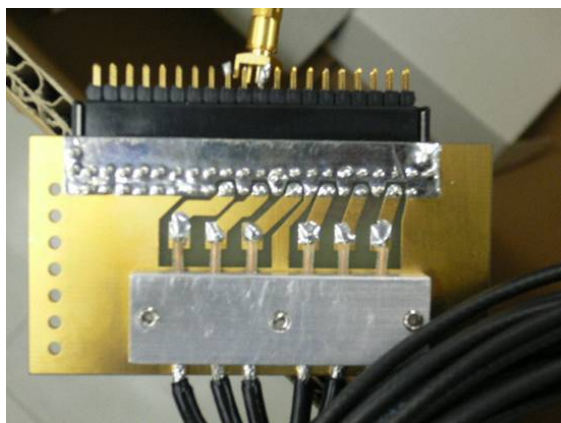


図 3.4 入力カード。写真下側の部分に同軸ケーブルを半田で固定し、上側のコネクタを TKO のバックプレーンと接続する。

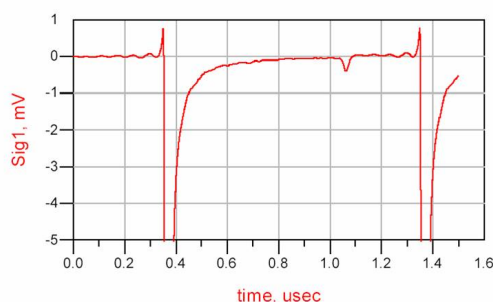


図 3.5 入力カードのインピーダンスの測定値を用いた反射のシミュレーションの結果。最初の入力電荷の約 700 nsec 後にある小さな波形が反射波形である。

アナログスイッチでのクロストーク 各 ATM が持つ ADC はそれぞれ一つであるから、マルチプレキサと呼ばれるアナログスイッチで各 TAC/QAC からの信号の切替えをしなければならないことになる。しかし、このアナログスイッチにおいて、チャンネル間のクロストークが起きてしまっているということが分かっている。

ADC の処理待機中の電流漏れ ADC が一つしかないということは他にも問題を引き起こしていて、AD 変換に 1 ヒットあたり $5.5 \mu\text{sec}$ の処理時間がかかることで、電荷を保持してから、それが AD 変換されるまでの時間が、チャンネルによって違ってしまうことになる。例えば、全てのチャンネルに同時にしかも連続して信号が入力されるような事象を考えると、処理すべきチャンネル数は $12 \times 2 = 24$ チャンネルであるから、最初のチャンネルが処理を始めてから最後のチャンネルの処理が終わるまでに $5.5 \mu\text{sec} \times 24 \sim 130 \mu\text{sec}$ もの時間がかかってしまうことになる。これだけの時間がかかると、QAC と TAC で保持されていた電荷が少しずつ漏れていくという現象が見られ、遅く処理されるほど電荷が小さくなってしまいうという効果が無視できなくなってしまう。そのために、現在では何番目に処理されたデータかという情報から漏れ電流に対する補正が必

要になってしまっている。

一つ前の問題と合わせて、これらは ADC 一つで全てのチャンネルの AD 変換を行うことに無理があることを示している。

電荷測定のダイナミックレンジ 電荷測定のダイナミックレンジは約 400 pC である。これは 1 p.e. レベルでの十分な分解能を求めたところで決定されてしまっている。つまり、1 カウントを 0.1 pC となるようにすると、12 ビットの ADC ではそのダイナミックレンジは $0.1 \times 2^{12} \sim 400$ [pC] となってしまう。序論でも述べたように高エネルギー領域の観測では、このダイナミックレンジは十分ではないことが分かっている。

現行システムの処理速度 これは現在は問題というわけではないが、より低エネルギーの観測をしようとしたときに限界に突き当たるのは明らかであるから、ここで述べておく。

図 3.6 に現在のデータ収集の流れと各部の速度を示した。ここでは、全ての光電子増倍管から常に 10 kHz でヒットが発生する場合を考えてみる。まず、ATM は 12 チャンネル入力を持つから、ATM に要求される速度は 120 kHz である。ATM の処理速度としては ADC の 1 ヒット当たり $5.5 \mu\text{sec}$ を仮定したときに最大 約 180 kHz となる。この時点で既にぎりぎりの速度であるが、次に ATM から SMP までの転送速度を考えてみるとこれは実勢値で 2 MB/sec である。対して、要求される速度は ATM 20 枚に対して SMP が一つであるから 2.4 MHz となる。1 ヒットあたりのデータ量は 6 Byte であるから、要求される転送速度は約 15 MB/sec となる。したがって、ATM から SMP への転送は現在のデータ転送速度では全く間に合わない。さらに、SMP からオンライン計算機への転送速度も同様に現在のシステムでは間に合わないことになる。

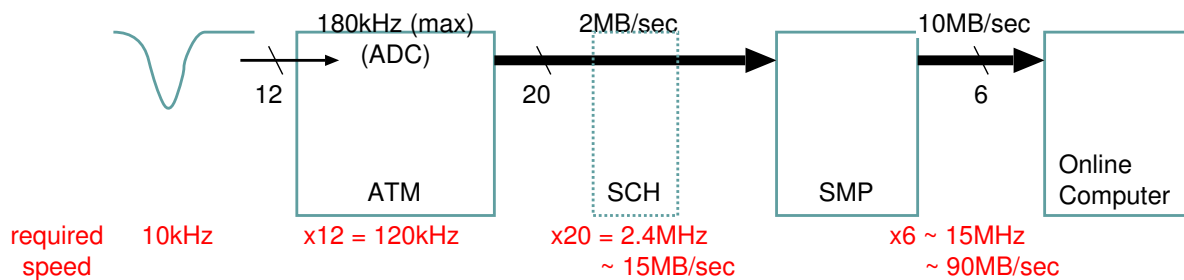


図 3.6 現在のデータ収集の流れと各部の速度

消費電力 現在の ATM の消費電力はおよそ 1 チャンネルにつき 4 W である。したがって、ATM だけでも 10000 チャンネルともなれば消費電力は 40 kW にもなる。一年中稼働していることを考えるとこの消費電力もできるだけ少なくする必要がある。

イベント番号のビット不足 表 3.1 にもあるように ATM が持つイベント番号は 8 ビットしかない。これを補うために GONG が 16 ビットのイベント番号を持ち、スパースデータスキャン時にまず GONG からイベント番号が読み出される形になっている。

しかし、超新星爆発などの高頻度の事象が起こった場合、SMP への読み出しが間に合わずに 8 ビットのイベント番号が一回りしてしまう恐れがある。カウンタが一回りしてしまうとどのデータがどの事象のものが分からなくなり、結局そのデータは使うことができなくなってしまう。こういったことが起こらないように、新しいシステムでは ATM 内部にもイベント番号の全てのビットを持つべきである。

キャリブレーション作業の問題 現在のキャリブレーションは、光電子増倍管からの信号入力の入力カードをその都度外して、同じ入力経路から較正済みの信号源を入力するという方法で行われている。この作業を 1 万以上のチャンネルについて、全て行わなくてはならず、膨大な時間がかかってしまう。したがって、新しい ATM を開発するにあたっては、キャリブレーション作業を簡素化する必要がある。

4 新データ収集エレクトロニクスの概念設計

この章では新データ収集エレクトロニクスのシステムについて述べる。まず、数々の要請を満たすためのエレクトロニクスのシステム全体の設計に関する事項について議論する。また、今回のエレクトロニクスの刷新の中で最も大きな柱となるのが、フロントエンドエレクトロニクスである新 ATM の開発である。まず、その概要を述べ、次にその ATM の中で中心的な役割を果たす QTC と TDC について述べる。

4.1 新エレクトロニクスへの要請

1 章でエレクトロニクスへの要請は既に述べられた。ここからは、具体的にその要請をどこで解決していくべきかについて述べていくことにする。以下では、フロントエンドで解決すべき課題とシステム全体で解決すべき課題に分けて、それぞれ述べていくことにする。

4.1.1 フロントエンド (ATM) で解決すべき要請と解決策

フロントエンドエレクトロニクスである ATM が解決すべき要請と問題は以下ようになる。

1. 電荷測定のダイナミックレンジの拡大
2. 時間測定のダイナミックレンジの拡大
3. AD 変換の高速化
4. インピーダンスの不整合による反射の低減
5. 低ノイズ化
6. 低消費電力化
7. ATM がイベント番号の全てのビットを持つ
8. キャリブレーション作業の簡素化

インピーダンス整合の問題や低ノイズといった問題はもちろん重要なのであるが、時間測定のダイナミックレンジの拡大や AD 変換の高速化といった要請を満たすためには、AD 変換の方法を根本的に見直す必要がある。したがって、まずは AD 変換の方法について中心に述べていくことにする。

AD 変換の方法 現在の ATM では QAC と TAC により電荷と時間の情報をともに電荷へと変換し、それをボードにつき一つの ADC で AD 変換するという流れである。現在の ATM の問題のところでも述べたように、ボードにつき ADC が一つというのはいくつかの問題を引き起こしており、さらなる高速化のためにもこのシステムは限界があると考えられる。かといって、各チャンネルにそれぞれ高速な ADC を持たせるとするのはコストがかかり過ぎる。電荷測定ダイナミックレンジの拡大のためには高ビットの ADC を使わなければならないから尚更のことである。したがって、ADC 以外の AD 変換の方法を探す必要がある。

ADC を用いない AD 変換の方法としては、電荷情報を時間へと変換するデバイスである QTC (Charge to Time Converter) を用いる方法がある。QTC とは信号の電荷量を出力信号幅へと変換するデバイスで、その幅を TDC^{*7}などで読むことで電荷量を AD 変換することができるものである。

QTC を用いるとすれば、あとは高分解能な TDC が必要である。さらに、データを取得する時間幅の拡大も要請されている。とくに、トリガーのかかる以前のヒットも取得できるようにするためには入力されたヒットの情報を常に AD 変換して、それをバッファに貯めておき、さらに、次のヒットを受け付けられるような仕組みが必要である。

そのどちらの要請も満たすような TDC が LHC の ATLAS 実験のミュオンドリフトチューブ MDT (Monitored Drift Tubes) のために開発されていることが分かった。その TDC は AMT (ATLAS Muon TDC) と呼ばれるマルチヒット TDC で、ちょうど数 10 μsec の間の情報を内部バッファにより保持することができ、しかも、同じチャンネルでもデッドタイム無く、次々と連続する信号を AD 変換することが可能というものである。この TDC と QTC を組み合わせることにより、上記のような仕組みが実現できるのではないかと考えられた。時間測定精度も 60 MHz のクロックで使用することで 0.15 nsec (RMS) となり、十分我々の要請を満たすものであった。さらに、チップ 1 枚で 24 チャンネルの入力を持ち、低コストかつ低消費電力であるという特長も持つ。

一方、QTC としては、以前に MQT (multi-ranging conversion of charge to time) という LeCroy 社により開発されたものが存在し、Belle 実験やスーパーカミオカンデの外水槽のエレクトロニクスでも使用されていたのだが、LeCroy 社が製造を中止したため、現在は手に入れることはできなくなってしまっているという状況であった。

そこで、今回我々は新たに ASIC^{*8}として QTC を開発することにした。我々の開発する QTC の特徴は、ディスクリミネータを内蔵して、自らヒットを検出し、さらに積分ゲートを作って信号を積分するという点にある。したがって、QTC と AMT の組合せにより、一つの信号で時間情報と電荷量を同時に AD 変換をすることができるようになると考えられる (図 4.1 参照)。また、信号のアナログ処理は全てこのチップ上で行われるから、低ノイズ化やインピーダンス整合などの要請はまず QTC で実現されるべきものである。さらに、QTC で高速な処理を実現することにより AD 変換の高速化が図られる。

一方、電荷測定のダイナミックレンジの拡大に関しては、一つのチャンネルにつき三つのゲインのサブチャンネルを用意することで実現することとした。

*7 Time to Digital Converter の略。

*8 Application Specific Integrated Circuit の略。特定の用途のために設計された IC のこと。

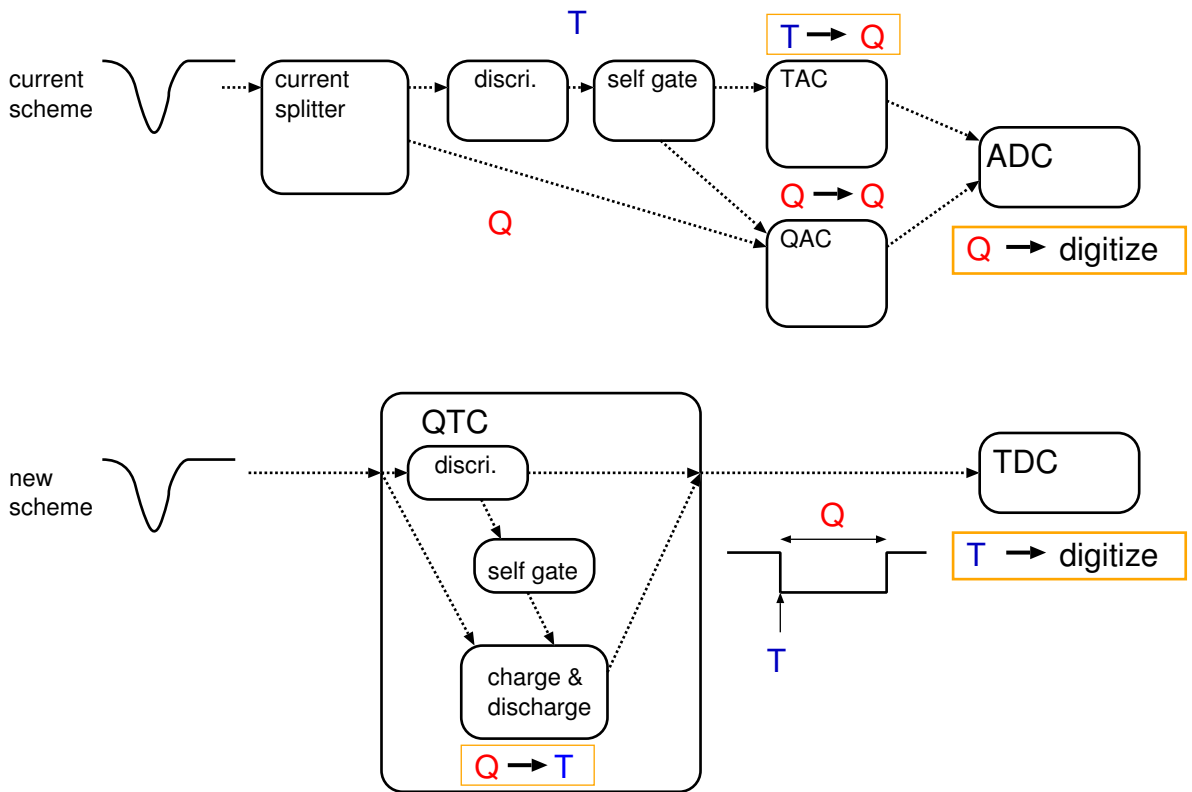


図 4.1 現在の AD 変換と新しい AD 変換の流れ。これまでの AD 変換とは逆に時間、電荷情報ともに時間に変換して、TDC で AD 変換を行うことになる。

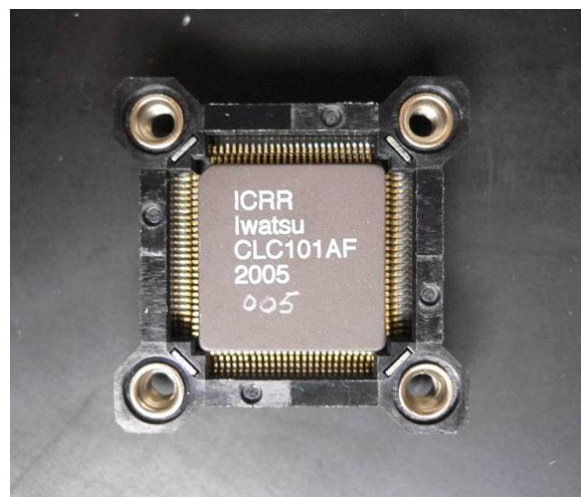


図 4.2 QTC プロトタイプ パッケージ写真

4.1.2 データ収集システム全体で解決すべき要請と解決策：高速化

要請のところで何度も述べられたように、システムの高速度化は最も重要な課題の一つである。高速度化はシステムのどの要素が欠けても実現されないから、これは ATM だけを高速化すれば済む問題ではない。

一口に高速化と言っても、要請されることは異なっており、次の 3 種類に分けられる。

1. AD 変換の高速化
2. 常時入力される全てのチャンネルの 10 kHz のヒットを処理する
3. 約 10 sec 間の 100 kHz の超新星爆発の信号をデッドタイム無く処理する

最初の AD 変換の高速化はもう既に述べられたので、ここでは後の二つについて議論する。

最初に 2. の要請を満たすためには何が必要かを考えてみる。まず、現在のデータ収集システムでボトルネックとなっているのは、前の章でも述べたように ATM からオンライン計算機までのデータ転送速度が要請よりも一桁小さいということである。この部分の高速化に関しては現在までのところ二つの解決策が考えられている。

- 新しく SCH を開発し、SMP を介さずに SCH からオンライン計算機へと接続する。また、TKO バスのプロトコルを 2 倍に高速化する。
- ATM に 100BASE-T イーサネット読み出しのための拡張ボードを付け、ATM とオンライン計算機とを直接接続する

新しい SCH の開発では現在の約 8 倍のデータ転送速度が、100BASE-T イーサネット読み出しでは約 25 倍のデータ転送速度が期待される。これらの詳細については 4.4 で述べることにする。ただし、これは ATM からオンライン計算機までのデータ転送の話であり、オンライン計算機での処理速度や計算機間の転送速度などはまた別に改良を加えなくてはいけない。

次に、3. の 100 kHz の超新星爆発による事象の取得について考える。序論でも述べたように超新星爆発ニュートリノのエネルギーは 10 MeV 程度であるので、約 1 万本ある光電子増倍管の中でヒットがあるのは、その中の 1 % の 100 本程度である。したがって、一つのチャンネルあたりに換算すると、1 kHz 程度のヒットにしか相当しない。これは、一つ前の要請である 10 kHz のヒットを常時とり続けることと比べると十分小さいもので、常時 10 kHz のヒットを取得するという要請が満たされているならば、自動的に 100 kHz の超新星爆発の信号に対しては十分高速であると考えることが出来る。

4.2 新データ収集エレクトロニクスの全体図

ここでは、新しいデータ収集エレクトロニクスの全体図について述べる。ただし、章題にもあるように現段階ではまだ「概念設計」という段階に過ぎない。各項目の開発の進み具合はまちまちであり、大きな選択肢が未だに残されている箇所もある。

最も大きな選択肢としては、トリガーにかかわらず全てのヒットをデータ収集系で取得するか、否かである。この新しいエレクトロニクスインストールの日程としては、次期長基線ニュートリノ振動実験 T2K 実験が始まる 2009 年の一年前である 2008 年の始めに行う予定である。そのときにこういったシステムを選択するかは、今後の開発の進み具合で決定されるのだが、ここでは、その両方の場合のシステムについてその概念図を示す。

4.2.1 最小限の改良：ATM だけを新しくした場合

まずは、ATM だけを新しくした場合の全体図を図 4.3 に示す。この場合はシステムとしては現状と殆ど変わり無く、ATM → SCH → SMP → Online Computer というデータの流れは同じである。ただし、大きな変更点としてはシステム全体を一つのクロックで動かすということがある。これは新しいシステムを動作させるにはなくてはならないものとなっている。他には、トリガーの生成を現在の HITSUM 信号のアナログ和をとるシステムからデジタルで処理するシステムへと変更することも考えられている。このトリガーの改良については 4.5 で述べる。さらに、小さな変更としては TRG モジュールを新しくすることにより、これまで 16 ビットだったイベント番号が 32 ビットまで拡張されるといった変更点もある。

システム全体を一つのクロックで動かすのは次のような理由がある。

- 異なる TDC 間、ATM ボード間でのチャンネル間の相対時間差を最も良い精度で測定するため
 - もし、ATM がそれぞれ独自のクロック持っていた場合、異なるボード間でのヒットの相対時間差は、TDC から出力される生のカウントからは分からないことになる。トリガーの入力は全ての TDC に同時に入力されることになるから、この時間を同時に各 TDC で測定すれば良いのだが、そうした場合の相対時間差の測定精度には、次の式のようにトリガー時間の測定精度の項が入ってきてしまう。例えば、独立したクロックで測定された t_1 と t_2 の相対時間差をトリガー時間 t_{trg} を基準として測ろうとすると、その測定精度は次のようになる。

$$\begin{aligned}\Delta(t_1 - t_{\text{trg}}) &= \sqrt{\Delta t_1^2 + \Delta t_{\text{trg}}^2} \\ \Delta(t_2 - t_{\text{trg}}) &= \sqrt{\Delta t_1^2 + \Delta t_{\text{trg}}^2} \\ \Delta(t_1 - t_2) &= \Delta \{(t_1 - t_{\text{trg}}) - (t_2 - t_{\text{trg}})\} = \sqrt{\Delta t_1^2 + \Delta t_2^2 + 2\Delta t_{\text{trg}}^2} \quad (4.1)\end{aligned}$$

一方、全ての TDC を同一のクロックで動かせば、相対時間差は TDC の出力される生のカウンタの値を比較することで測定が出来るので、トリガー時間の測定精度の項は行っていない。

ただし、このためには、全ての TDC の内部のカウンタを同時にリセットし、同期化することも必要となる。

- 一つのクロックで全ての TDC を動作させれば、TDC のカウント値 → 実時間のキャリブレーションを全てのチャンネルで行う必要が無くなり、もとのマスタークロックの周波数を

精度良く測定しておけば良いことになる

- モジュール間で情報をシリアル転送^{*9}できるようにするため。
 - これまでのトリガーでは、トリガー生成時には HE や LE といった種類があったものの ATM へはトリガーの種類情報は伝えられていなかった。新しい ATM ではそのトリガーの種類によって動作を変える必要がある。したがって、トリガーの種類の情報も全ての ATM へと伝えることが必要となった。それらの情報をパラレル転送しても本質的に問題は無いが、信号線の本数を減らすため、シリアル転送を採用した。イベント番号に関しても、同様にシリアルで転送し、32 ビットのイベント番号を 4 本の信号線で転送する。全てのボードが同じクロックで動いていることで、データのシリアル転送は容易になる。
 - さらに、新しいシステムではトリガー生成のための HITSUM をデジタルで処理することを考えている。それは、1 クロックの間に何ヒットがあったかをボードごとに出力し、その和でトリガー生成の判断をするものである。このシステムが動くためにも全てのボードが同一のクロックで動作している必要がある。

クロックやトリガー、イベント番号、TDC のリセットの分配のためには新しいモジュール (Master Clock Module と呼ぶ) が必要となるが、その開発を現在進めているところである。詳しくは 6 章にて述べる。

4.2.2 常時全てのデータを取り続ける場合

次にトリガーにかかわらず、常時全てのヒットを取り続ける場合のシステムについて説明する。

図 4.4 が全てのヒットをとるために考えられたシステムの概略である。図にもあるように現在のところ二つの選択肢があり、一つは SCH を新しく開発すること、もう一つは各 ATM に拡張ボードを付け、そこから直接イーサネット読み出しでオンライン計算機へとつなぐ方式である。

どちらの方式の場合でも最早 SMP は使われないことになる。また、この場合には膨大なデータ量を処理するオンライン計算機の大幅な拡充とソフトウェアの改良が必要となり、それらの検討はまだこれからという段階である。図 4.4 中の “Front-end computer” はおよそ 1 クレート (= ATM ボード 10 枚 = 240 チャンネル) につき 1 台程度となり、各ヒットの並べ替えなどを行う。“event builder” も同程度の台数で、各ハットからのデータを組み合わせて、“Intelligent Trigger” に転送する。さらに “Intelligent Trigger” でデータの選別を行うことになる。ここでどの程度 “Intelligent” な選別を行うかによって、ここに必要な計算機の数を決まってくる。

システム全体としてのデータ処理速度に関してはまた 4.4 で詳しく扱うこととする。

^{*9} 一本の信号線を使って 1 クロック毎に 1 ビットずつデータを転送する方式。対してパラレル転送とは、複数の信号線を使って並行にデータを転送する方式のこと。

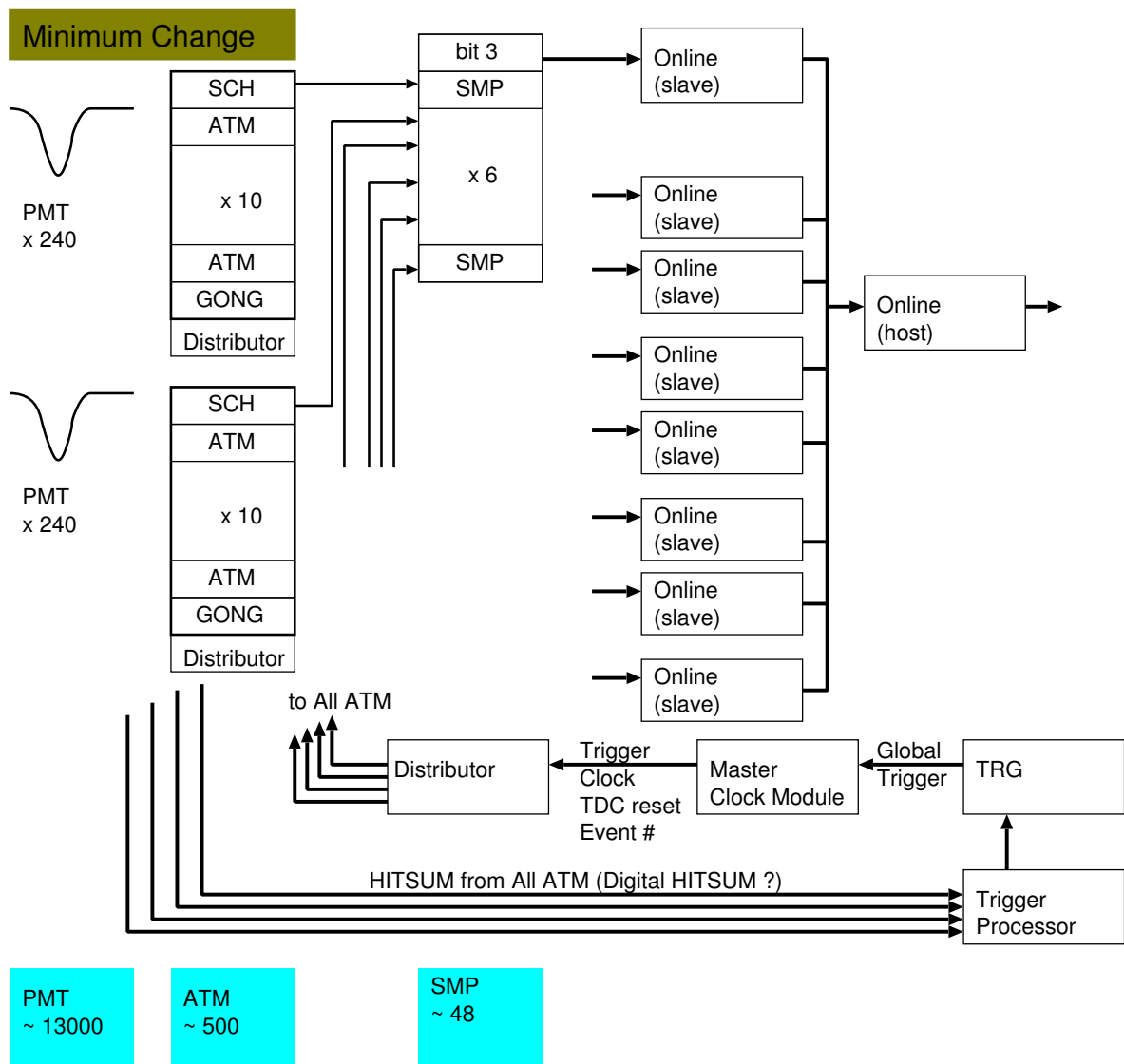


図 4.3 ATM だけを改良した場合のデータ収集システム。殆ど現行のシステムと変わらないが、トリガーやイベント番号、クロックの分配のために新しいモジュールが加わる。

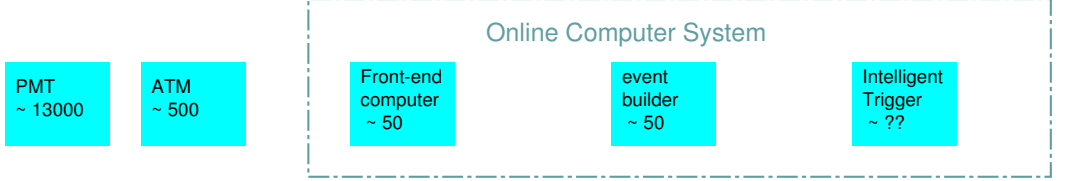
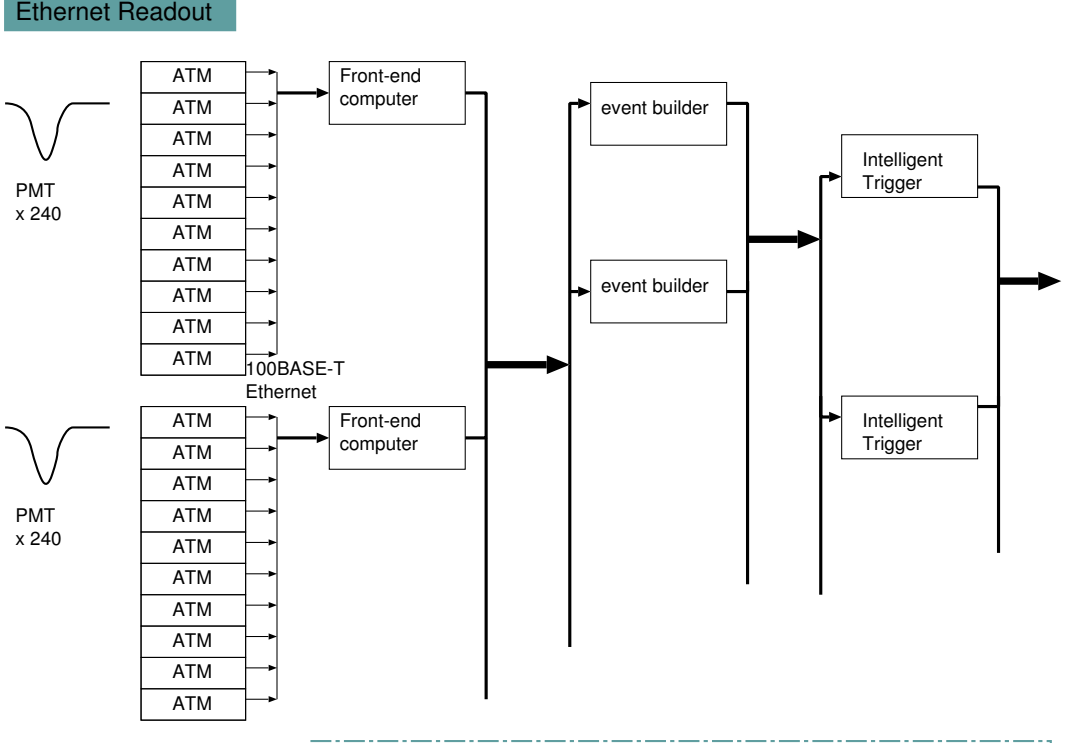
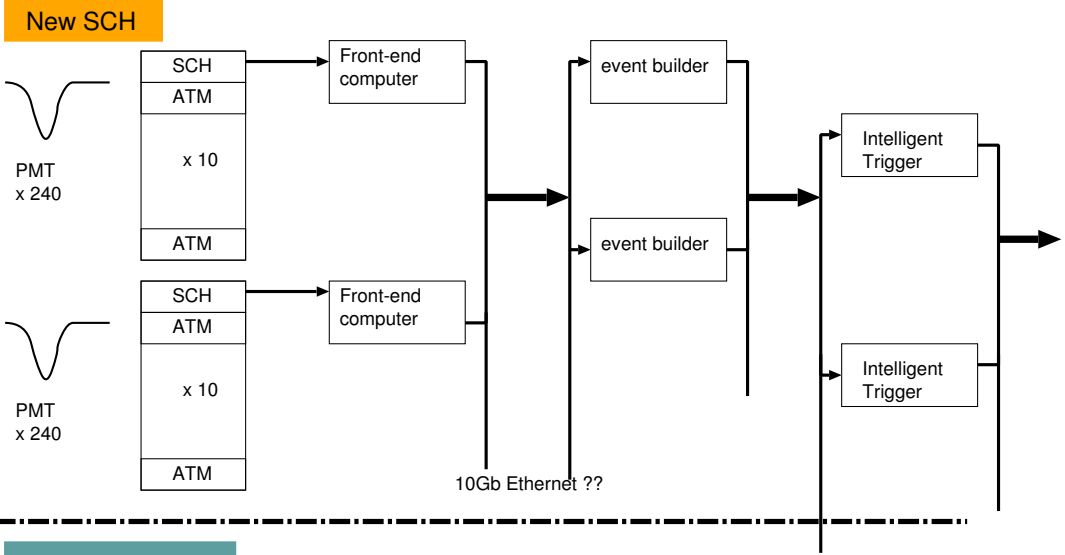


図 4.4 全てのヒットを常時取得する場合のシステムの全体図。二つの大きな選択肢についてそれぞれ示した。オンライン計算機の数などの見積りは概算であり、詳細な見積りはまだこれからである。

4.3 新 ATM

新しい ATM への要請に関しては、既に 4.1.1 で示した通りである。それらの要請を満たすために新 ATM では QTC と TDC による信号の AD 変換というシステムを採用することまでは既に述べた。以下では、そのシステムをどのように構築するかなどの具体的な ATM のデザイン、また、その各部の詳細について述べていくこととする。

また、開発にかかる時間の短縮などのために現在存在する資源をできるだけ活用するという考えから、新しい ATM も基本的には TKO 規格で開発される。

4.3.1 信号の流れ

ここでは、光電子増倍管からの信号がどのように処理されるのかの概要を順を追って説明する。大まかなブロック図を図 4.5 に示した。

まず、70 m の同軸ケーブルを伝ってきた光電子増倍管からの信号は、入力カードを経て、TKO のバックプレーンに二つある 40 ピンのコネクタを通して ATM へと入力される。ATM へと入力された信号はまず QTC へと入力される。ただし、QTC へと入力される前に信号は適当に抵抗分圧されて、3 つのレンジへと分けられる。それと同時に、高精度のインピーダンス整合が行われる。また、新 ATM は現在の 2 倍の 24 チャンネルの入力を持つから、3 チャンネルの入力を持つ QTC はボード一枚につき 8 枚が必要となる。

QTC は内部にディスクリミネータを持ち、入力された信号がその閾値を越えると処理を開始する。QTC は一つのチャンネルにつき 3 つのレンジを持ち、どのレンジに相当する信号であろうと全てのレンジで信号を出力するので、1 チャンネルでヒットがあると QTC では実質 3 チャンネル分の出力を出す。それと同時に QTC からはチャンネルごとに HIT 信号が出力される。その HIT 信号を元に ATM 内部で HITSUM が作られる。その HITSUM 信号が中央のセントラルハットのトリガー生成部に送られ、トリガーが生成されるというのは現在のシステムと同じである。

QTC からの出力は LVDS^{*10}レベルで直接 TDC (AMT) へと入力される。TDC では QTC からの入力を受けて、入力された信号のエッジの時間と種類 (立ち上がりエッジか立ち下がりエッジか^{*11}) を内部バッファに記録する。この処理はグローバルなトリガーの入力によらず常に行われている。そして、外部からトリガーが TDC へと入力されると、TDC は 12 ビットの TDC 内部のイベント番号、及びそれまでに入力された信号のチャンネルとエッジの時間を出力する。TDC への入力は 1 ヒットにつき 3 つのレンジ分の 3 チャンネルの入力がある。したがって、TDC からも 3 チャンネル分のエッジ情報が出力される。また、TDC は 24 チャンネルの入力をもつから、QTC 2 枚分 (= $3 \times 3 \times 2 = 18$ チャンネル) のヒット情報を処理することが出来るので、ATM は TDC を 4 枚持つことになる。

TDC から出力された各エッジの時間情報は DSM (Data Sort Mapping) と呼ばれる

^{*10} Low Voltage Differential Signaling の略。+1.25 V を中心とした振幅約 0.3 V の差動信号。

^{*11} 差動信号なのでどちらを立ち上がりと呼ぶかは定義によるが、最初のエッジを立ち上がりエッジと呼ぶことにする。

FPGA^{*12}によって読み出される。DSM は TDC 一枚につき、一枚が用意される。したがって、ボード一枚では 4 枚の DSM を持つことになる。DSM では次のような処理が行われる。

1. TDC からのエッジ時間の情報をチャンネルごとに並び替える。
2. トリガーの種類によっては、ある時間より前のヒットの情報を捨てる
3. (立ち下がり時間) – (立ち上がり時間) の引き算を行い、QTC 出力信号幅を求める
4. QTC 出力信号幅の値から、飽和しているレンジを探して、3 つのレンジの中からどのレンジの幅の情報を使うかを決定する。この時点で各チャンネルの電荷、時間情報は AD 変換されたことになる。
5. チャンネルごとの QTC 出力信号の立ち上がり時間と幅とレンジの情報、さらにイベント番号の情報を SIC (System Interface Control) と呼ばれる FPGA へと出力する。

SIC には 4 枚の DSM からの情報が集められる。外部から入力される 32 ビットのイベント番号を持っているのはこの SIC である。そして、SIC は TKO バスなどを介して、SCH もしくはイーサネット読み出しのための拡張ボードとのデータのやりとりを行う。そのデータ転送には TKO プロトコル、もしくは、新 SCH や拡張ボードとの通信では高速化した TKO プロトコルを用いる。外部からのトリガー、TDC のリセット信号なども一度この SIC を通してから、全ての DSM へと分配するという形をとる。また、瞬間的に高頻度な事象が発生して、SIC から外部への転送速度が間に合わなくなったときのために 1 MByte 程度の FIFO^{*13} を搭載する。1 ヒットあたりのデータ量は現在の ATM と同じで 6 Byte となるから、 1.7×10^5 のヒットまでは貯めておくことができる。FIFO のサイズとしては現在の ATM の 500 倍となるが、チャンネル数は 2 倍に増えているから、実質的には 250 倍となる。

各部の詳細については、以下に挙げる章節において説明されている。

- QTC の入力部の抵抗分圧 … 5.1.4
- QTC 内部での処理 … 5.2
- TDC での処理 … 4.3.4
- FPGA におけるデータ選別と 1 ヒットのデータ構造 … 4.3.5
- 高速化 TKO プロトコルを含む高速化の詳細 … 4.4

4.3.2 信号入出力

ここでは、信号の入出力について一通り述べておく。さらに、これまで触れられなかった信号についても簡単に説明を行う。

図 4.6 が新 ATM のフロントパネルのデザインである。

^{*12} Field Programmable Gate Array の略。書き換え可能なゲートアレイの一種。

^{*13} First In First Out の略。先に書き込んだデータから先に取り出される方式またはそういった方式のメモリのこと。ここでは、実際には高速な SRAM を搭載し、それを SIC が FIFO として制御する。

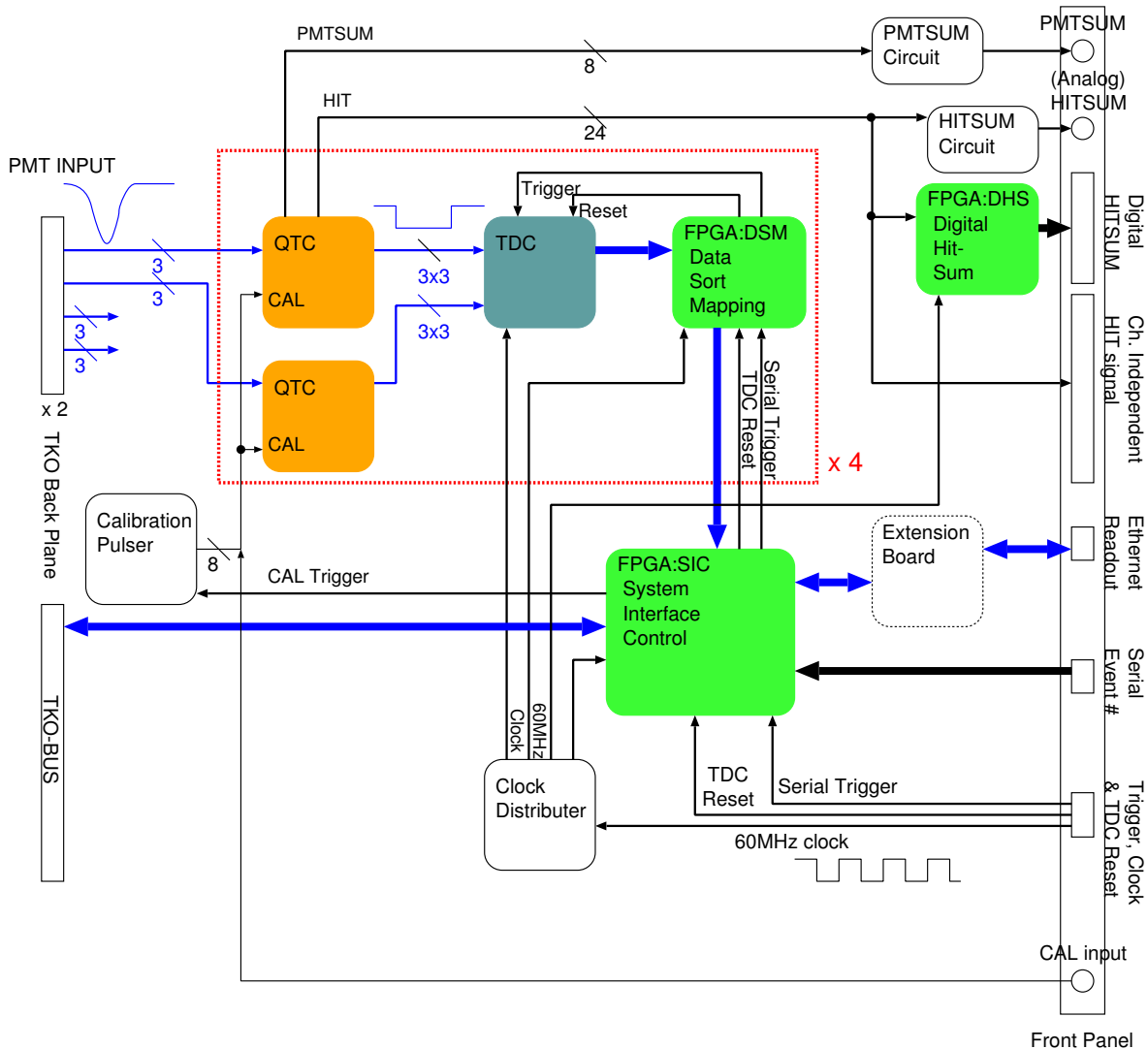


図 4.5 新 ATM ブロック図。青色の線で光電子増倍管からの信号の処理の流れを图示した。

入力カード 現在の ATM の入力カードはインピーダンスの整合とアイソレーションの悪化をもたらしていたことは 3 章で述べられた。その改善のため、新しい入力カードの製作も ATM の開発と並行に進められている。現段階では、多層板の内層を信号ラインとして使うストリップラインという方式でより特性の良い入力カードを作ろうとしているところである。

クロック、トリガー、イベント番号入力、TDC リセット Master Clock Module から分配されるこれらの信号の伝送にはカテゴリ 5E のイーサネットケーブルを使用する。そのための RJ-45 のモジュラジャックが 2 つ用意されている。

HITSUM まず、現在のシステムと互換性を持つためにアナログの HITSUM 出力が LEMO コネクタで用意されている。また、HITSUM を 5 ビットのデジタル信号 (Digital HITSUM) とし

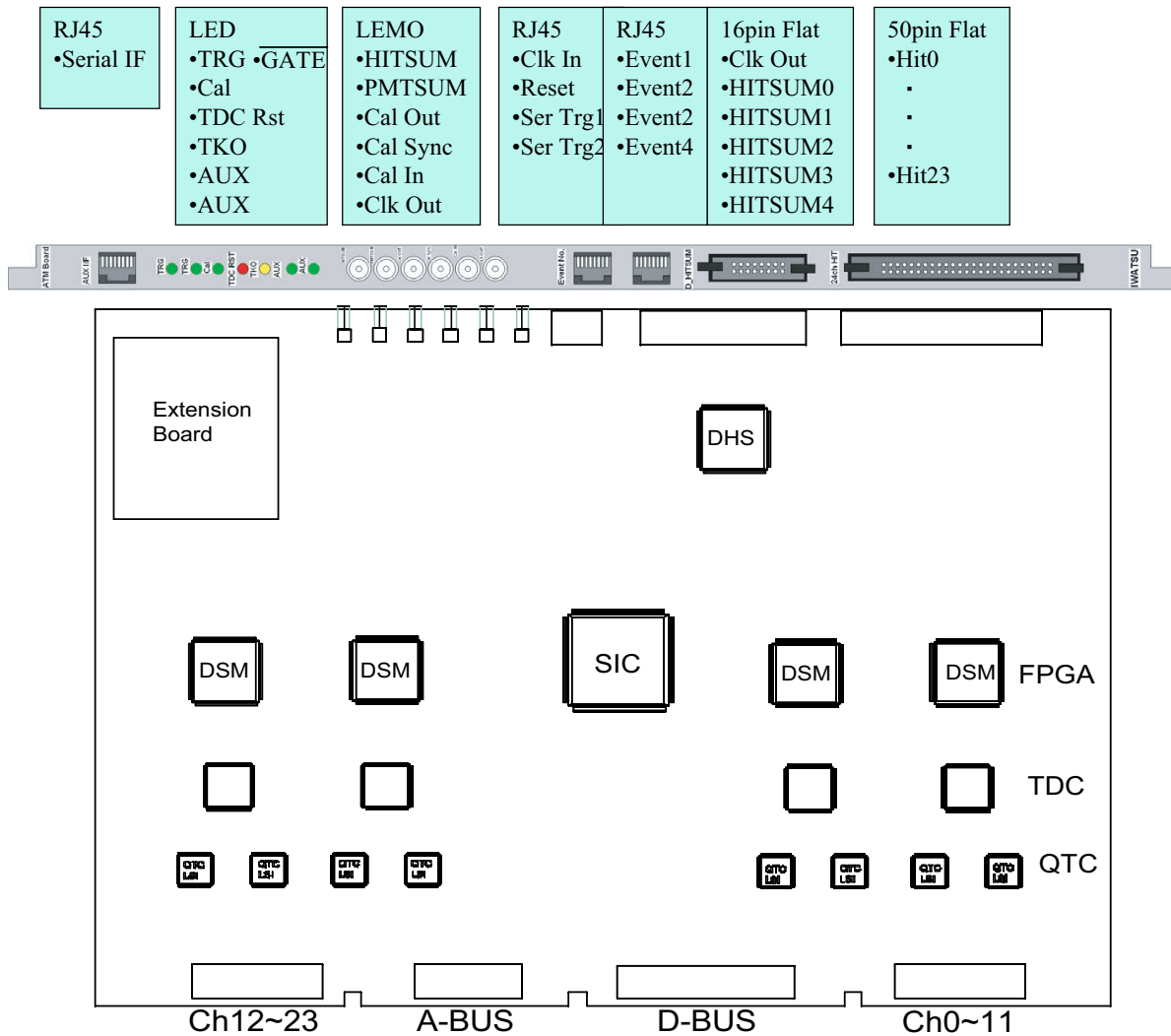


図 4.6 新 ATM フロントパネルとボード上の配置

て送るための 16 ピンのフラットケーブルがつけられるようになっており、この出力からは同時にクロックも出力される。このデジタルの HITSUM を作るために一つ DHS (Digital Hit-Sum) と呼ばれる FPGA が使われる。さらに、それぞれのチャンネルの個別の HIT 信号を 50 ピンのフラットケーブルに出すこともできるようになっている。出力レベルは LVDS で各 QTC の HIT 信号がクロックで同期をとられずにバッファを介して出力される。

PMTSUM この出力は現在の ATM と全く同じ働きを持つもので、24 チャンネルの波形のアナログ和を出力する。

キャリブレーション関係 ここでは、新しい ATM でのキャリブレーションに必要な入出力について一通り述べておく。

“Cal In” とは外部のキャリブレーションパルサーを用いるための入力である。ここから入力し

た信号は全ての QTC のキャリブレーション用専用入力チャンネル (CAL) から入力され、ボード内の全てのチャンネルのキャリブレーションを行うことができる。

“Cal Sync” はキャリブレーションを行っていることを示す信号で、キャリブレーションパルサーと同期した信号である。“Cal Out” はキャリブレーション入力として入力されている信号を出力する端子で、キャリブレーションに使われている信号のモニターのために使われる。

イーサネット読み出し 最後に図 4.6 中の左端に位置する RJ-45 のモジュラジャックについてであるが、これはイーサネット読み出しのための拡張ボードのためのものである。

さて、これまではどのようにして光電子増倍管の信号の時間と電荷の情報を AD 変換して外部へと転送するかの流れを述べた。しかし、ATM への数々の要請が具体的にどのように解決されているのかはまだ、明らかになっていない。ATM への要請のうち多くは QTC への要請となり、QTC 自体の議論が必要となるので、それらは次章で述べることになるが、以下では、時間測定ダイナミックレンジの拡大と ATM の処理速度に関して述べていくことにする。そのために、まずは QTC と TDC の動作に関して理解が必要なので、それらについて述べることにする。

4.3.3 QTC の処理速度

ここでは、QTC の処理速度について理解するために、QTC の仕組みを簡単に述べる。

まず光電子増倍管などからの信号の入力が内部のディスクリミネータの閾値を越えると、QTC からの出力信号が立ち上がる (QTC から出力される信号の最初のエッジを立上りエッジと呼ぶこととする)。したがって、この立ち上がり時間は信号の入力の時間を表すことになる。次に、信号の立上りから、ある決められた積分ゲート時間の間、内部では入力信号の電荷を積分していく。その積分ゲートが終わると、次にある定電流でそれを放電していく、放電ゲートが始まる。この放電により、積分された信号の電圧がある閾値を下回ると出力信号が立ち下がる。したがって、この出力信号の幅は入力信号の電荷の情報を持つことになる。QTC の処理速度の議論に必要なのはこの (積分ゲート + 放電ゲート) の時間 (この時間を測定ゲートと呼ぶことにする) である。この測定ゲートの中に放電が終わらなかったときには強制的な放電が始まり、出力信号も強制的に立ち下がってしまう。つまり、このときそのチャンネルは「飽和」していることになる。したがって、あるチャンネルが飽和しているかどうかは出力信号幅がこの測定ゲートの大きさであるかどうかで判断ができる。

また、一つの信号の処理にかかる時間もこの測定ゲートの時間で決まり、測定ゲートは現在のところ 500 nsec という設定にしようと考えている。入力された信号の放電がいくら早く終わってしまおうとも、この 500 nsec の測定ゲートの間は次の信号入力を受け付けられないようになっている。したがって、QTC の処理速度は最大で 2 MHz であるということができる。

この QTC の仕様の詳細、性能評価の結果については、次章で詳しく述べられる。

4.3.4 AMT (ATLAS Muon TDC)

AMT はこの章の最初でも述べられたように ATLAS 実験用に開発されたマルチヒット TDC である。その主な仕様は表 4.1 のようになっている。

表 4.1 AMT の主な仕様

時間分解能	0.5208 nsec/Count (60 MHz クロック動作時)
時間測定精度	0.150 nsec (RMS)
ダイナミックレンジ	17 bit (13 bit coarse counter & 4bit fine counter)
入力チャンネル数	24 チャンネル
入力クロック周波数	10 ~ 70 MHz
非線型性	< 80 psec (integral & differential)
消費電力	< 15 mW/チャンネル (< 360 mW/chip)
信号入力レベル	LVDS
電源電圧	3.3 ± 0.3 V
プロセス	0.3 μm CMOS
パッケージ	144 pin QFP

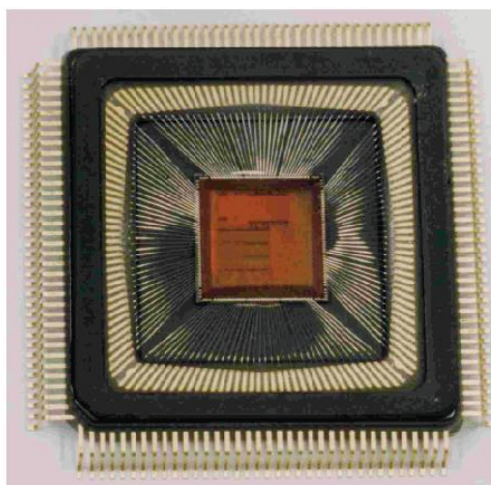


図 4.7 AMT (ATLAS Muon TDC)

ATLAS 実験ではこの TDC を 40 MHz で動作させるが、我々の実験ではもう少し時間分解能を良くするため 60 MHz のクロックで動作させる。それにより、1 カウントあたり 520.8 psec の分解能、RMS では $520.8/\sqrt{12} = 150$ [psec] の時間測定精度が得られることになる。これは我々の要請を満たすものである。次章の QTC の性能評価に用いた評価基板にはこの AMT が搭載されており、QTC の性能評価に兼ねて AMT の動作評価も行ってきた。これまでのところ 60 MHz

でも問題無く動作している。ただし、供給電圧は標準より 10 % 高い +3.6 V に設定する。このようにした経緯は次章の 5.4.1 で述べられる。

AMT の詳細は [13] に述べられているが、ここでは、以降の議論に必要となるいくつかの点について説明をしたいと思う。

AMT における内部カウンタ AMT 内部ではまず入力された 60 MHz クロックを PLL^{*14}で 2 倍の 120 MHz にする。内部にはこの 120 MHz の周波数をもつ 16 段の非対称なリング発振器があり、これにより 16 個の少しずつ位相のずれたカウンタを作る。以上により、入力されたクロックの 32 倍の周波数のカウンタが作られる。したがって、実際の内部カウンタの実効周波数は $60 \text{ [MHz]} \times 32 = 1.92 \text{ [GHz]}$ である。これによって、AMT では 0.52 nsec/Count の時間分解能を有することになる。

24 あるチャンネル入力のエッジの時間はこのカウンタにより測定される。ただし、トリガーマッチングはもとの入力クロック周波数の 60 MHz で行われるから、トリガーの時間情報は 16.7 nsec の分解能しか持たないのだが、我々の用途ではトリガー時間の精度はそれほど必要としないので特に問題は無い。

AMT における内部バッファ AMT は内部にバッファを持ち、ヒットの情報をトリガーが入力されるまで保持することができ、かつ、エッジの時間の測定、トリガーマッチング、外部への読み出しなどを並行して行うことができるようになっている。AMT の内部バッファの構造とそれぞれの役割について以下に説明する。

1. Channel Buffer

それぞれのチャンネルで測定されたエッジの時間情報はまず各チャンネルに用意された Channel Buffer に書き込まれる。この Channel Buffer では 4 つまでのエッジの時間情報を貯めておくことができる。それらのヒット情報はクロックと同期して、次の L1 Buffer へと書き込まれる。

どれくらい短い間隔でくるエッジを測定できるかは、この Channel Buffer への書き込み時間で決定されることになる。例えば、5 nsec 幅の信号が 5 nsec 間隔で連続で入力されても AMT は 4 つあるエッジの情報を正しく測定することができ、これは我々の用途にとって十分な速度であるといえることができる。

2. L1 (Level 1) Buffer

Channel Buffer に書き込まれたヒット情報はチャンネル情報などを付加された後に、L1 Buffer へと書き込まれることになる。L1 Buffer では、256 個のエッジの時間情報を蓄積することができる。L1 Buffer からの読み出しはランダムアクセスであり、トリガーが入力されると、その都度トリガーにあったヒットが探し出され、読み出されていく。

3. Trigger FIFO

^{*14} Phase Locked Loop の略。入力信号と基準周波数が等しくなるように出力信号に負帰還をかける回路。周波数の安定や周波数を整数倍にするために用いられる。

トリガーが入力されるとそのトリガーの入力時間とイベント番号が Trigger FIFO に書き込まれる。Trigger FIFO には 8 つのトリガーまでの情報を貯めておくことができる。トリガーが入力されるとそのトリガー入力時間を基準にあらかじめ設定されたトリガーマッチングの条件に当てはまるエッジの情報を L1 Buffer から探し出して、Readout FIFO へと書き込む。

4. Readout FIFO

L1 Buffer から読み出されたエッジの時間情報は最後に Readout FIFO に貯められる。ここでは、64 のエッジの時間情報やヘッダー、トレーラーなどのデータを保持することができる。

Readout FIFO が一杯になってしまったときにどのような処理を行うかは、いくつか選択肢があり、レジスタ設定により決めることができる。

- Readout FIFO に空きができるまで、トリガーマッチングを行わない。(データは捨てない。)
- Readout FIFO が一杯、かつ、L1 Buffer が殆ど一杯になったときに次のトリガーマッチングを行わず、さらにイベント番号などの情報を持つヘッダーとトレーラー以外のデータを全て捨てる。
- Readout FIFO が一杯になると同時にヘッダーとトレーラー以外の全てのデータを捨てる。

スーパーカミオカンデにおける使用では、AMT で処理仕切れないほどのデータが短時間にやってきた場合には、一度取ったデータを捨てることはせずに、バッファが一杯になってしまったら、それ以降のデータを受け付けないようにするという方法にするべきである。したがって、上に挙げた選択肢のうち、一つ目の設定を選択することになる。ただし、そのような異常な頻度のヒットの入力が続いた場合、この設定では 1 枚の AMT の測定が全く停止してしまうことが考えられるのだが、AMT で扱えないようなデータ量はその後の部分でも処理できない部分が出てくると思われるので、AMT が 1 枚止まってしまう事自体は問題とはならないと考えている。

最終的に AMT から出力されるデータの構造は表 4.2、4.3、4.4 などのようになる。典型的な 1 イベントのデータでは、まずヘッダーが出力され、その間に全てのチャンネルのヒット情報、最後にトレーラーが出力される。AMT の持つイベント番号は 12 ビットであり、各エッジの時間情報は “Coarse Time” の 12 ビットと “Fine Time” の 5 ビットを合わせて 17 ビットである。

また、AMT からのデータの読み出しは、パラレルとシリアルの両方が可能であるが、我々の用途では、処理のより容易なパラレル読み出しの方を選択する。

AMT の出力データ構造

表 4.2 Single Measurement Data (通常のエッジの時間情報)

31	30	29	28	27-24	23-19	18	17	16-5	4-0
0	0	1	1	TDC ID	Ch	Edge	Error	Coarse Time	Fine Time

表 4.3 TDC header (Bunch ID とはトリガー入力時の Coarse Time (60MHz) のカウント値)

31	30	29	28	27-24	23-12	11-0
1	0	1	0	TDC ID	Event ID	Bunch ID

表 4.4 TDC trailer (Word count とは TDC から出力される 1 イベント中のデータの数)

31	30	29	28	27-24	23-12	11-0
1	1	0	0	TDC ID	Event ID	Word Count

AMT におけるトリガーマッチング ここでは AMT を用いて、どのようにしてトリガーの前後数 μsec のヒットを取得するかを説明する。

トリガーマッチングには 3 種類のカウンターが関わっている。

- coarse counter
- bunch counter
- reject counter

イメージとしては、これらのカウンターが図 4.8 にあるようなオフセットを持って、同じ速さで回っていると考えればよい。ただし、これらのカウンタは 12 ビットのカウンタであり、入力クロック周波数と同じ 60 MHz で回っている。

あるチャンネルでエッジが検出されると、その時点での coarse counter のカウンタの値がラッチされ、ラッチされたカウンタの値がエッジの時間となる。その coarse counter よりも bunch_count_offset と呼ばれるだけのオフセットを持って遅れて回っているのが、bunch counter である。トリガーが入力されると、そのときの bunch counter の値がラッチされ、それがトリガーの時間 (Bunch ID と呼ばれる) になる。

AMT におけるトリガーマッチングとは、トリガー時間を基準とし、そこから数えて matching_window と呼ばれる幅に入っているカウンタの値を持つエッジを、L1 Buffer の中から選び出し、さらに、Readout FIFO へと書き出すことである。

それでは、我々の用途のためにはどのように設定すれば良いか。まず、AMT としてはトリガーの後のヒットを得ることはできないから、外部でトリガーが生成してから、AMT へと入力するまでに約 $15 \mu\text{sec}$ 程度の遅延を入れる必要がある。さらに、bunch_count_offset と matching_window をともに約 $30 \mu\text{sec}$ に設定してやれば、トリガーの生成から前後 $15 \mu\text{sec}$ の信号が matching_window に入り、その間のヒットの情報が取得できることになる。これにより、ATM へと要請された時間

ダイナミックレンジの拡大は実現されることとなる。

ただし、これらのカウンタ (12 ビット) が一回り (60 MHz クロック動作時では約 $70 \mu\text{sec}$) してしまったときに、古いヒット情報が L1 Buffer に残っていると、古いヒットと新しいヒットとの区別がつかなくなってしまう。それを防ぐために用意されているのが、reject counter である。このカウンタは coarse counter よりも reject_count_offset と呼ばれるオフセットを持って遅れて回っている。もし、L1 Buffer 内にあるエッジのそれぞれのカウンタの値が、この reject counter の持つカウンタの値に「抜かされる」と、そのエッジのデータは捨てられることになる。すなわち、reject_count_offset で設定した時間よりも古いデータはこのカウンタにより、自動的に捨てられるのである。これにより、古いヒットの情報がトリガーマッチングされることは防がれる。我々の用途では、reject_count_offset の値は $30 \mu\text{sec}$ に $1 \mu\text{sec}$ 程度のマージンをつけた程度に設定すれば良い。

また、常時ヒットを取り続ける場合についてであるが、その場合には $30 \mu\text{sec}$ 毎に AMT へと強制的にトリガーを入れ続けなければならない。この場合、連続するトリガーでマッチングされる時間がわずかに重複するように設定しておけば、ヒットの取りこぼしを防ぐことができる。ただし、AMT は同じヒットを複数のトリガーで共有できてしまうので、重複したヒットを後で判別して除く必要はある。

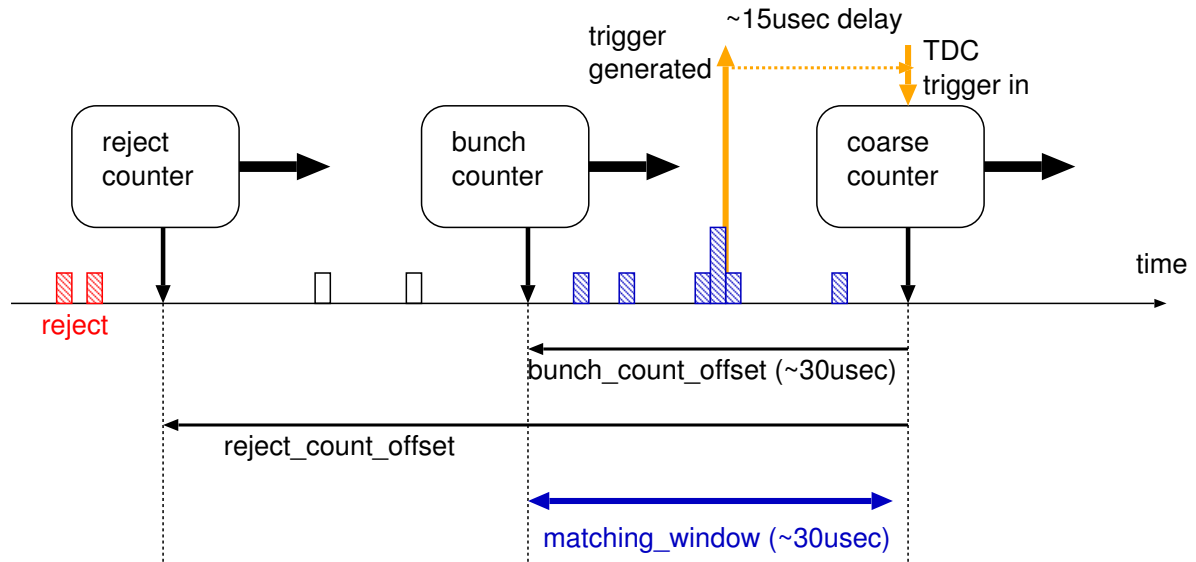


図 4.8 AMT におけるトリガーマッチング。matching_window に入ったデータが Readout FIFO へと書き出される。reject counter のカウントより古いカウントは L1 Buffer から順次消されることになる。

AMT の処理速度 AMT に関する説明の最後に AMT の処理速度について述べておく。

AMT の処理速度に関しては [13] 中に表 4.5 のように述べられていて、AMT の全てのチャンネルに 400 kHz の入力があっても、AMT は損失無く処理できる。ただし、光電子増倍管の 1 ヒッ

トにつき、AMT では立ち上がりと立ち下りの両方のエッジを検出しなくてはならないから、実質的な速度は半分になり、AMT では全てのチャンネルに 200 kHz のヒットがあってもデータの損失は無視できるということになる。

したがって、AMT の処理速度は処理速度の要請に対しては十分速いと考えることができる。

表 4.5 AMT の処理速度

データ損失が無視できる最大入力頻度	400 kHz/ch 20 MHz (1 チャンネルのみ使用)
トリガーの損失が無視できる最大のトリガー頻度	200 kHz

4.3.5 データ量と処理速度

それでは、QTC と TDC の速度やデータ構造などを理解したところで、新 ATM 全体のデータ量、処理速度の議論に移りたいと思う。

データ構造 まず、新しい ATM での 1 ヒットのデータ構造を表 4.6 に示す。現在の ATM と比べて、扱うべきデータ量は増えているが、ワードごとの識別ビットを無くし、イベント番号や TDC のカウントなどは 2 つのワードに分けるなどして、現在の ATM と同じ 6 Byte に抑えた。

表 4.6 新 ATM の 1HIT あたりのデータ構造。現在の ATM と同じ 6 Byte である。(E は Event #の残り 1 ビット、TDC は TDC Count の残り 2 ビットである。Range は QTC のどのレンジを用いるかの識別のビットである。)

15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
Ch # (5bit)					Event # (12 - 1)bit										
E	TDC Count (17 - 2)bit														
TDC	Range	QTC (10 bit)												0	0

FPGA でのデータ選別 TDC として AMT を用いることで時間測定のダイナミックレンジを拡大することはできたのだが、どんな事象に対してもこのような大きな時間幅で測定する必要は必ずしも無いのである。そもそも、30 μ sec といった大きな時間幅を測定する必要があったのは、ミューオンの崩壊電子事象をより多く観測できるようにするということと、超新星残骸ニュートリノのバックグラウンドを効率的に除くためであった。したがって、10 MeV 以下の低エネルギーの太陽ニュートリノ観測にとっては無駄なデータの量を増やしてしまっているだけに過ぎなくなってしまう。しかも、トリガーの頻度が最も大きいのはそうした低エネルギー事象であり、この方法は膨大な量の無駄なデータを生み出すことになってしまう。

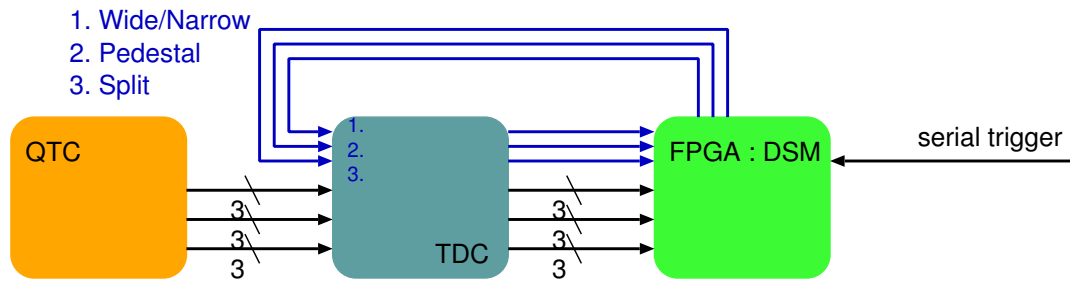


図 4.9 トリガーの識別用に TDC の 3 つのチャンネルを使用する。それらのチャンネルのヒット情報から、トリガーの種類を知ることができる。

この無駄を減らすためにはトリガーの種類によって、データを取得する時間範囲を変えれば良い。ただし、TDC の設定をトリガーごとに変えるということは不可能である。TDC から出力されるデータは常に $30 \mu\text{sec}$ の時間幅のデータを含むので、それを選別しなくてはならないのは TDC とデータをやりとりする FPGA (DSM) である。このデータ選別のために Wide Window Trigger と Narrow Window Trigger という 2 つのトリガーを用意することにした。Narrow Window Trigger というのがデータの選別を行うトリガーである。これらのトリガーは Master Clock Module を通してクロックなどともに全ての ATM へと配られることになる。

それぞれのトリガーでの各部の動作は次のようになる。

- Wide Window Trigger (図 4.10)

1. Master Clock Module に Wide Window Trigger が入力されると約 $15 \mu\text{sec}$ の遅延をこのモジュールの内部で発生させる。その後、トリガーはシリアルで全ての ATM へと分配される。
2. FPGA はシリアルトリガーを受けて、TDC へとトリガーを入力する直前に、トリガー識別のために TDC に一つ用意されているチャンネルに信号を入力する (図 4.9)。
3. その後、FPGA は TDC に対してトリガー信号を入力する。
4. 各チャンネルからのエッジ時間の情報とともに、トリガー識別用のチャンネルのヒット情報も TDC から読み出される。
5. Wide Window Trigger ではデータ選別の必要は無いから、全ての時間幅の情報を使う。

- Narrow Window Trigger (図 4.11)

1. Narrow Window Trigger の場合には、トリガー発生から TDC へのトリガー入力までにわざわざ遅延を発生させる必要は無い。したがって、Master Clock Module は Narrow Window Trigger が入力されたらできるだけ早く、シリアルトリガーを出力する。
2. FPGA がシリアルトリガーを受け取ると、FPGA は TDC へとトリガー信号を入力する。(Wide Window Trigger と Narrow Window Trigger は互いに排他的なものであるから、この場合は TDC の識別チャンネルへの入力が必要無い。)

3. TDC からの各エッジの情報を受け取り、Wide Window Trigger の識別用のチャンネルに何も入力が無かったことを確認すると、FPGA では図 4.11 のように立ち上がりエッジの時間がトリガー入力の約 $1.3 \mu\text{sec}$ 以前にあったヒットの情報を捨てる。

また、他にも Split Trigger と Pedestal Trigger というトリガーもある。Pedestal Trigger については文字通りペDESTALデータ取得用のトリガーである。一方、Split Trigger は外水槽の光電子増倍管からのデータが必要ないときにこのトリガーが入力される。各 ATM の FPGA では、それぞれ自らが内水槽を担当しているのか、外水槽を担当しているのかを認識しておき、外水槽を担当している ATM がこのトリガーを受け付けたときには、TDC からの全てのデータをそこで無視することになる。ただし、TDC へのトリガー入力はイベント番号がずれるのを防ぐためにこのときも行われる。

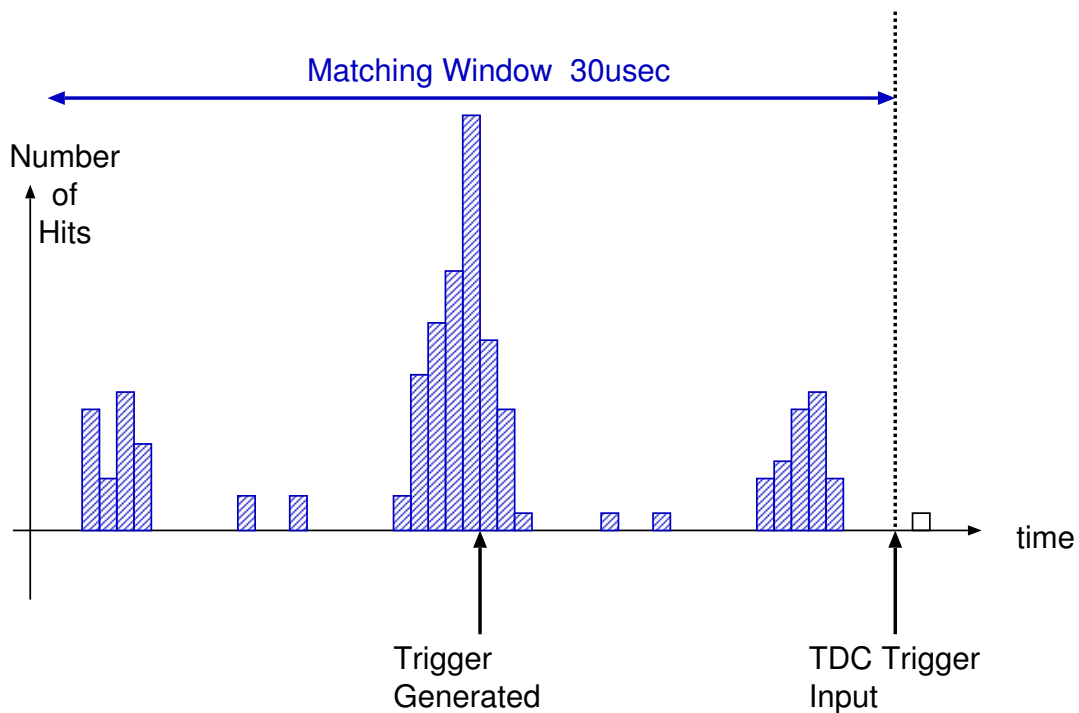


図 4.10 Wide Window Trigger のデータ取得範囲。この場合は TDC でトリガーマッチングされる範囲と同じである。

FPGA の処理速度 さて、問題は 4.3.1 の信号の流れで述べたような処理を FPGA がどれだけの時間できるかである。FPGA に関してはまだ設計の途中であるので、現時点では概算された結果を示す。

例えば、1 イベント中に ATM の全てのチャンネルから 1 ヒットずつあった場合では、TDC がデータを出力し始めてから、SIC の転送バッファに書き込みが完了するまでにかかる時間は約 $1.8 \mu\text{sec}$ 程度である。したがって、基本的には FPGA は最大 500 kHz の処理速度を持つということ

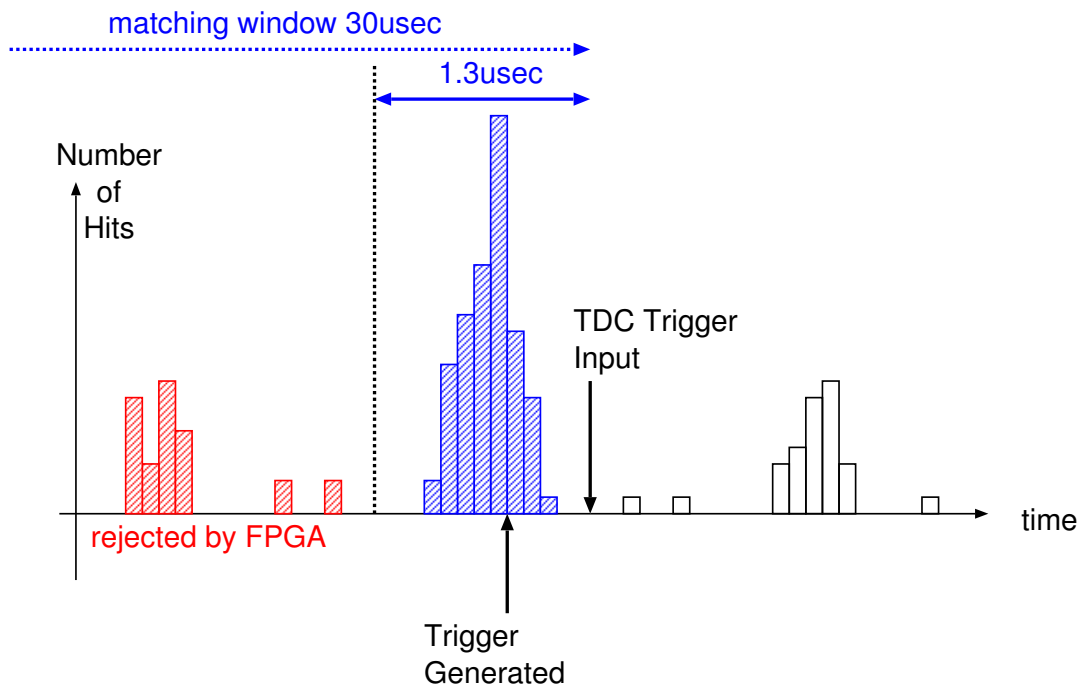


図 4.11 Narrow Window Trigger のデータ取得範囲。この場合には、TDC へのトリガー入力から $1.3 \mu\text{sec}$ 以前のデータは FPGA によって捨てられる。

ができる。

ATM 全体としての処理速度 それでは、最後に新しい ATM の全体としての処理速度についてまとめてみる。

表 4.7 は新 ATM の各部の最大での処理速度である。新しいエレクトロニクスへと要請されるスピードは全チャンネルで常時 10 kHz のヒットがあっても処理できることであったから、この要請に対しては ATM としては十分な処理速度を持っているとすることができるだろう。

それでは、システム全体で 10 kHz という要請は、どのように実現されるのか、その詳細について次節で述べることにしよう。

表 4.7 ATM の各部の最大処理速度

QTC	2 MHz/ch
AMT	$\sim 200 \text{ kHz/ch}$
FPGA	$\sim 500 \text{ kHz/ch}$

4.4 データ収集システム全体の高速化

ATM とオンライン計算機間のデータ転送速度の高速化に関して、2つの方法が考えられていることはもう既に述べた。ここでは、それらの詳細について述べていくこととする。

4.4.1 新 SCH の開発と高速化 TKO プロトコル

新しい ATM でも TKO 規格を採用することにより、現在のシステムとの互換性は保たれる。しかし、TKO 自体が開発されてから既に 20 年が経ち、現在の水準から言えば、高速なデータ転送とは言えないものとなっており、互換性を保ちながらも、高速化が可能な方法を考える必要がある。

そこで、同じ TKO バスを使うにしても、バスサイクルにかかる時間を削減することで TKO バスの高速化ができないかと考えている。現在の各デバイスの性能を考えれば、これは無理のない変更であると考えられる。ただし、これは TKO プロトコルにおけるマスターである SCH とスレーブである ATM の両方がその変更に対応している必要がある。したがって、SCH を新しく開発することが必要となってくるのである。

高速化 TKO プロトコル 標準の TKO プロトコルの D-Bus のタイミングチャートを図 4.12 に示す。例えば、SCH が ATM からデータを読み込むときには次のようなタイミングでハンドシェイクを行っている。書き込みのときもほぼ同様である。

1. T0 SCH が GA (Geographical Addresses)、SA (Sub-Addresses)、F (Function) などの信号を有効にする
2. T1 SCH が DOIT* 信号を Low にする
3. T2 ATM が YSSIR* 信号を Low にする
4. T3 ATM が 16 ビットのデータバスにデータを出力して、YSSIR* 信号を High に戻す
5. T4 SCH がデータの読み込みを終えたら、DOIT* 信号を High に戻す
6. T6 次のデータ読み出しのために SCH が GA、SA、F などを有効にする

各段階で要する最小の時間は図 4.12 の中に記されており、1 サイクルの最小時間、すなわち、T0 から T6 までにかかる最小の時間は 250 nsec である。したがって、この標準 TKO プロトコルでの最大データ転送速度は 8 MB/sec である。ところが、現在の ATM では DOIT 信号を受け取ってから、データを出力するまでの時間 T1 - T3 は 400 nsec 程度かかっているため、実際のバスサイクルにかかる時間は最小で 550 nsec となる。ただし、これはあくまで最小値であり、実際にはさらに遅く、転送速度は 2 MB/sec 程度になってしまう。

そこで、高速化の第一段階としてはまず、ATM の応答時間を短くすることである。新しい ATM では、DOIT 信号から 2、3 クロックでデータを準備できるようにする予定である。これにより、T1 - T3 の時間を 50 nsec 程度に短縮する。これにより、バスサイクルにかかる時間は現在の約 1/2 になるので、データ転送速度としては最大で約 4 MB/sec 程度となる。この段階では、まだ

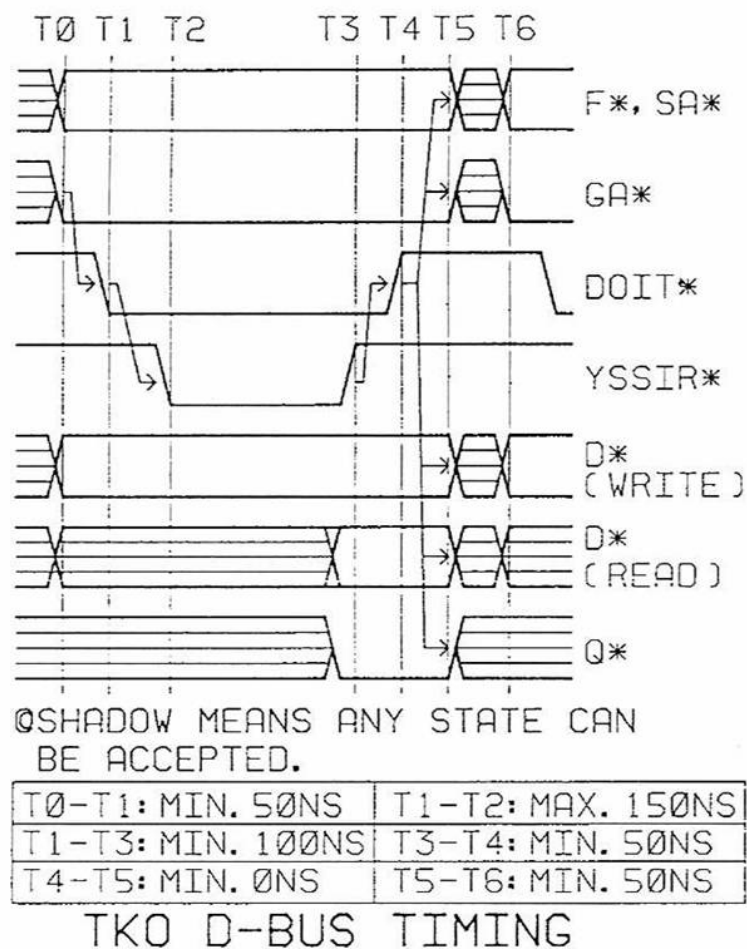


図 4.12 TKO の D-Bus タイミング [14]

ロトコル自体の変更はなく、ATM を新しくするだけで 2 倍程度の高速化は望めるということである。

次に、高速化 TKO プロトコルについてであるが、現在のプロトコルでは、SCH と ATM 間のハンドシェイクのある部分でのマージンが 50 nsec とられている。この時間は十分過ぎるほど長いものであり、半分の長さの 25 nsec でも問題なく動作するものを作ることは可能であると考えられる。このようにした場合のバスサイクルの時間は表 4.8 の右側の列にまとめられている。こうした場合、1 サイクルの時間は 125 nsec 程度になる。したがって、最大のデータ転送速度は 16 MB/sec となる。この 25 nsec というマージンについては技術的には特に厳しい要求でもないのだが、SCH 側もそのマージンを前提に動作する必要があるので、このプロトコルを採用する場合には、SCH 側も新しく開発する必要があるのである。

表 4.8 TKO プロトコルの各段階に要する時間。現在の ATM と新しい ATM の場合、また、SCH も新しくした場合の 3 通りについてまとめた。

	Current ATM	New ATM	
		Current SCH	New SCH
T0 - T1	50 nsec ~	50 nsec ~	~ 25 nsec
T1 - T3	~ 400 nsec	~ 50 nsec	~ 50 nsec
T3 - T4	50 nsec ~	50 nsec ~	~ 25 nsec
T4 - T6	50 nsec ~	50 nsec ~	~ 25 nsec
1 Cycle	550 nsec ~	200 nsec ~	~ 125 nsec

4.4.2 イーサネット読み出しのための拡張ボード

データ転送の高速化のもう一つの方法として、イーサネット読み出しという方法がある。これは、新 ATM に拡張ボードをつけて、その拡張ボードから 100BASE-T のイーサネットで読み出すという方法である。

100BASE-T の実効速度としては、5 MB/sec 程度であると考えられるから、この場合にも拡張ボードと ATM の間のデータのやりとりは高速化 TKO プロトコルで十分である。したがって、このボードでは一方では、TKO プロトコルで ATM とデータのやりとりをし、もう一方では、TCP/IP プロトコルでオンライン計算機とデータのやりとりをすることになる。

4.4.3 高速化に関するまとめ

以上に述べた 2 つの方法で要請される速度が実現されるのかを確かめてみる。図 4.13 に新しいシステムでの ATM からオンライン計算機までのデータ転送速度を示す。

新しい SCH を開発した場合は、一つの SCH で 240 チャンネルの信号を処理しなくてはならない。それぞれのチャンネルから 10 kHz のヒットがあった場合、一つの SCH で処理すべきヒットは 2.4 MHz、すなわち、データ量にして 15 MB/sec である。一方、高速化 TKO プロトコルの最大速度は 16 MB/sec であるから、マージンは少ないが基準は達せられていると言える。

また、各 ATM から拡張ボード経由でイーサネット読み出しをする場合、この場合は ATM 一枚一枚がオンライン計算機へとつながるから、ここで要請される速度は 24 チャンネル分の 240 kHz のヒット、すなわち、1.5 MB/sec である。一方、100BASE-T イーサネットでは 5 MB/sec 程度の速度は出ると考えられるから、この部分は問題なく転送できると考えられる。ただし、この場合もオンライン計算機は 1 クレートに 1 台程度であると考えられ、結局は 10 台程度の ATM と 1 台のオンライン計算機がつながることになるのだが、この場合はオンライン計算機側だけはギガビットのイーサネットで通信できるようなネットワークスイッチなどを用いることになると思われる。そうすることで、要請される処理速度は問題なく満たすことができる。

以上から、どちらの方法でも、常時全てのチャンネルからの 10 kHz のヒットを取得するという我々の処理速度への要請は満たすことができると言うことが分かった。ただし、イーサネット読み出しの方が速度には余裕ができると考えられるから、開発に問題が無ければ、こちらの方法を採用する方が好ましい。また、オンライン計算機へと転送した後の計算機での処理に関してはここでは全く議論してこなかった。この部分の議論は始まったばかりであるが、同程度のデータ量を扱うシステムは大規模な加速器実験では既に構築されているものもあり、実現は十分可能であると考えている。

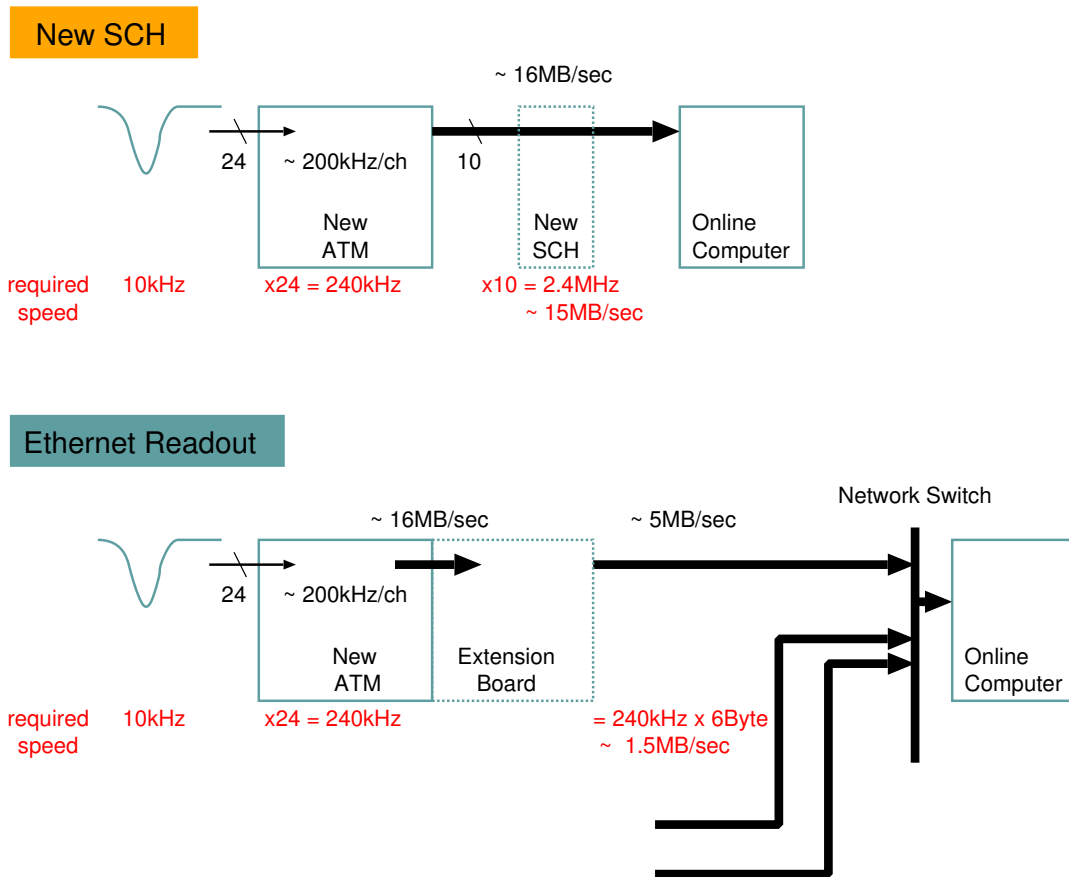


図 4.13 新しいシステムでの ATM からオンライン計算機までの処理速度

4.5 トリガーシステム

新しいシステムでは、トリガーの改良も求められる。そのうち、トリガーをシリアル化して全ての ATM へとトリガーの種類情報を分配することは述べた。ここでは、トリガーの生成に関する二つの改良について述べる。

ただし、常時データを取り続けるようなシステムにした場合には、ここでいう、トリガーは殆ど意味をなさなくなると考えられるから、ここで述べられるシステムとも全く違うものとなると考えられる。そのときには、トリガーとは、オンライン計算機でなされる “Intelligent Trigger” のことをいうことになるのだろう。

4.5.1 Forced Trigger

新しい ATM では AMT という TDC を用いることで、時間の測定範囲をトリガーの生成から前後の $15 \mu\text{sec}$ に拡大することができたということを述べた。しかし、時間の測定範囲に関してはもう一つ要請があり、それは、超新星残骸ニュートリノ観測のために約 $200 \mu\text{sec}$ 後に放出される 2.2 MeV の γ 線を観測するということであった。そのような長い時間幅は、AMT でも取得できないが、常時ヒットをとるのと同じように、 $200 \mu\text{sec}$ の間の信号を取るためには、その間強制的にトリガーを入れ続けてやれば良いことは簡単に分かる。

このためには TRG の直前の現在のトリガー生成ロジックに置き換わる、もしくは、加えられるようなモジュールを開発する必要がある。このモジュールは、超新星残骸ニュートリノの観測領域である、 10 MeV 以上に相当するヒットがあったときにそれから数 $100 \mu\text{sec}$ の間に渡って、強制トリガーを出力し続ける。

4.5.2 Digital HITSUM

新しい ATM では、ヒット信号の外部への出力方法が 3 種類も用意されている。一つは現在のシステムと全く同じで、1 ヒットにつき -15 mV の 200 nsec 幅の信号のアナログ和、二つめはそれをデジタル化したもの、最後の一つは全てのヒットの信号を別々に外部へと出力するものである。

ここでは、そのなかの二つめの Digital HITSUM について説明することにする。これは、一枚の ATM ボードのなかで 1 クロックの間いくつのチャンネルでヒットがあったかを FPGA で数えて、それを 5 ビットの信号で出力するものである。図 4.14 がその例である。図 4.14 中では、ヒットのあった 1 クロック後にすぐに Digital HITSUM 信号にその数が出力されているが、実際は同期化や加算などを行うことにより、5、6 クロック分ぐらいの遅延が生じると考えられる。

これらの信号はセントラルハットへと集められ、アナログ信号による HITSUM と同様に全てのチャンネルでのヒット数の和からグローバルなトリガーが生成される。この方式が、アナログ信号より優れている点は、アナログ信号では各 ATM ボードの HITSUM 信号の幅や振幅のばらつきにより、HITSUM のなかでの重みが少しずつばらついてしまうということも考えられるのだが、デ

デジタル信号で処理すればそのようなことは起こらず、全てのチャンネルのヒットを平等に扱うことができるのである。

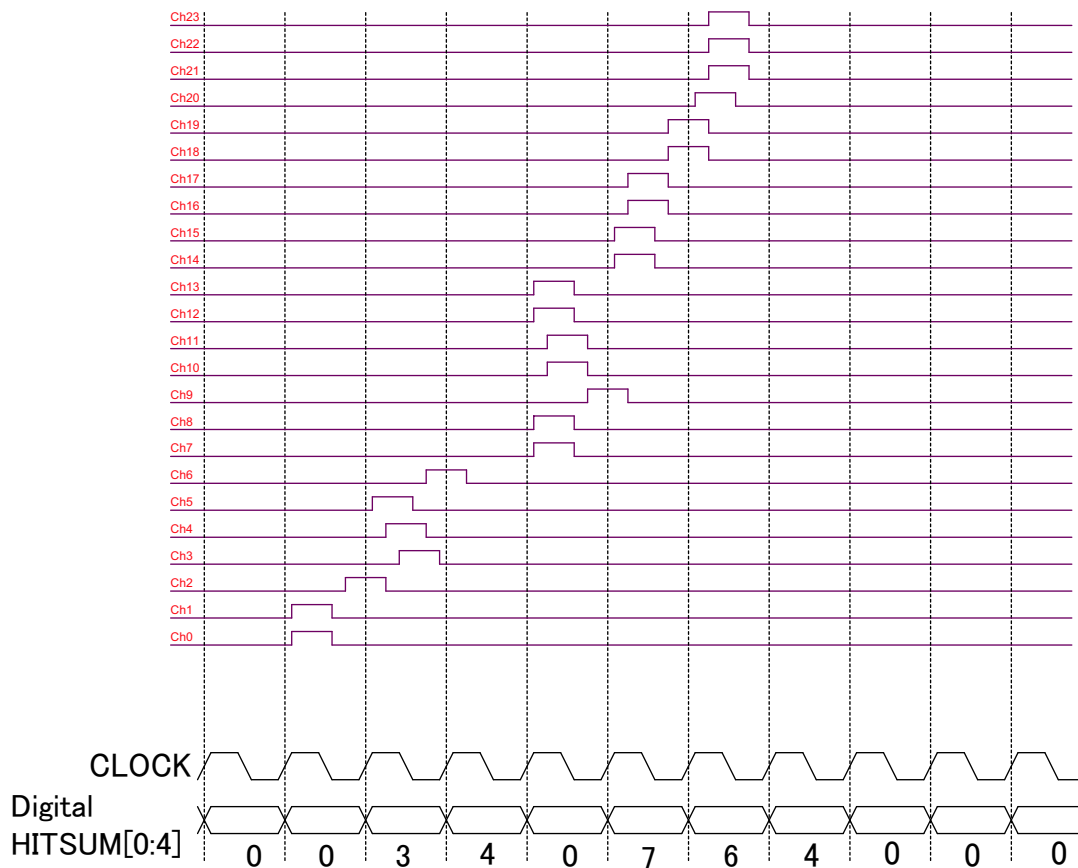


図 4.14 Digital HITSUM

5 時間電荷変換素子 (QTC-LSI) の研究と開発

この章では、新 ATM における AD 変換において中心的な役割を果たす時間電荷変換素子 (QTC) の開発について述べる。以下では、既に完成しているプロトタイプについて、仕様の検討及びプロトタイプ完成後の性能評価、さらには、次期版の開発について述べることになる。

5.1 QTC への要請と仕様の検討

最初に、QTC への要請とそれに応えるための仕様の検討について述べる。

まず、ATM への要請のうちいくつかは QTC への要請となって残されたままである。それらについて確認のため、繰り返しになるが QTC への要請を述べておく。

1. 1 % の電荷測定 (相対) 精度
2. 20 インチ光電子増倍管より十分良い時間測定精度
3. 2500 pC までの電荷測定のダイナミックレンジの拡大
4. AD 変換の高速化
5. 高精度のインピーダンス整合
6. 低ノイズ化 (ディスクリミネータ閾値 $\rightarrow -0.5$ mV)
7. 低消費電力化
8. キャリブレーション作業の簡素化

これらのことを念頭に、仕様に関する議論をしていくこととする。

5.1.1 電荷分解能とダイナミックレンジ

電荷分解能に対する要請としてはすべてのレンジに渡って測定電荷に対する相対精度を 1 % 以下に抑えることが求められる。また、1 p.e. レベルでの十分な相対精度を得るためには 0.1 pC/Count の分解能が必要である。さらに、電荷測定のダイナミックレンジとしては 1000 p.e. (~ 2500 pC) 程度を要求される。

以上のような条件を同時に満たすために一つのチャンネルに対して 3 つのレンジを用意することにした。それでは、この 3 つのレンジのゲインをどのような比で分け、さらにそれぞれのレンジでは何ビットの分解能が必要となるであろうか。

まず、この 3 つのレンジを、それぞれ測定する電荷の大きさから Small, Medium, Large と呼ぶことにする。それぞれのレンジのゲインの比を n とすれば、最大測定電荷の比は $1 : n : n^2$ となるとする。また、このときのそれぞれのレンジにおける分解能 (ダイナミックレンジ) を m ビットとする。最初に相対精度を 1 % 以下に抑えるという条件について考える。最も厳しい条件となるのは、そのレンジにおける測定範囲の最小の電荷を測定するときの相対精度である。例えば、Large レンジでは、最小の測定電荷は $2500/n$ [pC] であり、そのときの分解能 (LSB) は $2500/2^m$

[pC/Count] となる。量子化誤差のみを考えた場合には測定精度は分解能の $1/\sqrt{12}$ になるから、次のような条件が成り立てば良い。

$$\left(\frac{2500}{n}\right) \div \left(\frac{2500}{2^m \cdot \sqrt{12}}\right) \lesssim 0.01 \quad (5.1)$$

次に Small レンジでの最大測定電荷は $2500/n^2$ であるから、Small レンジでの電荷分解能が 0.1 pC 以下となる条件は以下のようになる。

$$\frac{2500}{n^2} \frac{1}{2^m} \lesssim 0.1 \quad (5.2)$$

これら 2 つの条件から最適な解を見つけるのであるが、そのために考慮しなければいけないこととしては、TDC の 1 ビットに相当する時間 (約 520 psec) は固定されているから、分解能 (ダイナミックレンジ) m が大きいということは、それだけ放電に時間がかかり、処理時間を長くすることを意味するということがある。したがって、まず最低限必要な分解能を決めておく必要がある。

上二式より、 $m \gtrsim 9$ であるから、分解能は 9 ビット必要である。それに応じて、それぞれのレンジの比については $n = 7$ を選び、 $1 : 7 : 49$ とした。これらを表 5.1 にまとめた。

表 5.1 各レンジの測定範囲と TDC 1 カウントあたりの電荷

レンジ	測定範囲	分解能
Small	0 ~ 51pC	0.1 pC/count (0.05 p.e./count)
Medium	0 ~ 357pC	0.7 pC/count (0.35 p.e./count)
Large	0 ~ 2500pC	4.9 pC/count (2.5 p.e./count)

5.1.2 積分ゲート (Charge Gate) 時間と測定ゲート (Measure Gate) 時間：処理速度

次に、電荷をどの程度のゲート幅で積分するか、また、どの程度の時間をかけて放電するかということを決めなくてはならない。この時間が QTC の処理速度を決めることになる。ここでは、電荷を積分するゲートのことを積分ゲート (Charge Gate)、積分ゲートと放電にかかる時間までを合わせた時間を測定ゲート (Measure Gate) と呼ぶことにする。4.3.3 の QTC の処理速度のところでは測定ゲートを 500 nsec とすると述べたが、ここではそのようにした経緯について述べる。

まず積分ゲート時間であるが、ミュオン崩壊電子事象のような連続した事象のデッドタイムを減らすためには一つの信号にかかる処理時間は可能なかぎり短くすべきである。ただし、あまりにも積分ゲート時間が短い場合には、光電子増倍管からの信号のすべての電荷を集めることができなくなってしまう。そこで、実際の信号の波形から適当なゲート幅を決めなくてはならない。典型的な光電子増倍管からの信号の波形は図 5.1(もしくは図 2.8) のようになっている。現在の ATM のゲート幅は 400 nsec であるが、図 5.1 に示したように信号の電荷は、信号が入力されてから、200 nsec のゲート幅があれば信号の電荷を十分集めることができると考えられる。

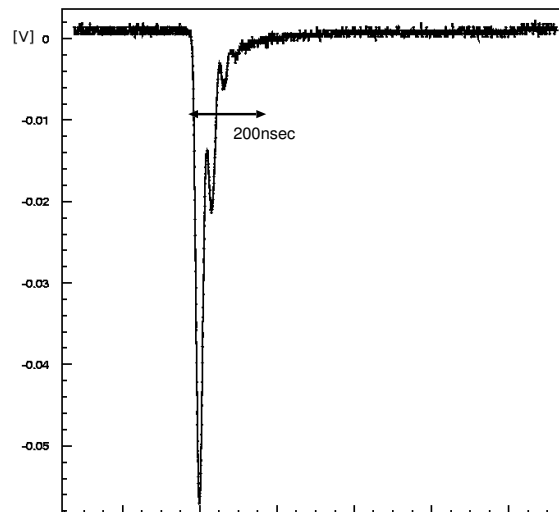


図 5.1 20 インチ光電子増倍管の典型的な信号。実際にスーパーカミオカンデに取り付けられている光電子増倍管の信号で、ATM へと入る信号をデジタルオシロスコープで取得した。

次に、測定ゲートについてであるが、これに関しては分解能により放電時間が決まってしまう。分解能が 9 ビットで、TDC の 1 ビットは 0.52 nsec であるから、放電にかかる時間は $2^9 \times 0.52 = 266$ [nsec] である。したがって、測定ゲートはこの放電時間と積分ゲートと合わせて 466 nsec である。

以上から QTC のタイミングチャートは図 5.2 のようになる。測定ゲートが終わってから、リセットが発生し、QTC 内部が初期化され、次の信号を受け入れる状態となる、このリセットにか

かる時間を 34 nsec とした。したがって、一つの信号がディスクリミネータにかかってからその処理が終わるまでにかかる時間は 500 nsec である。

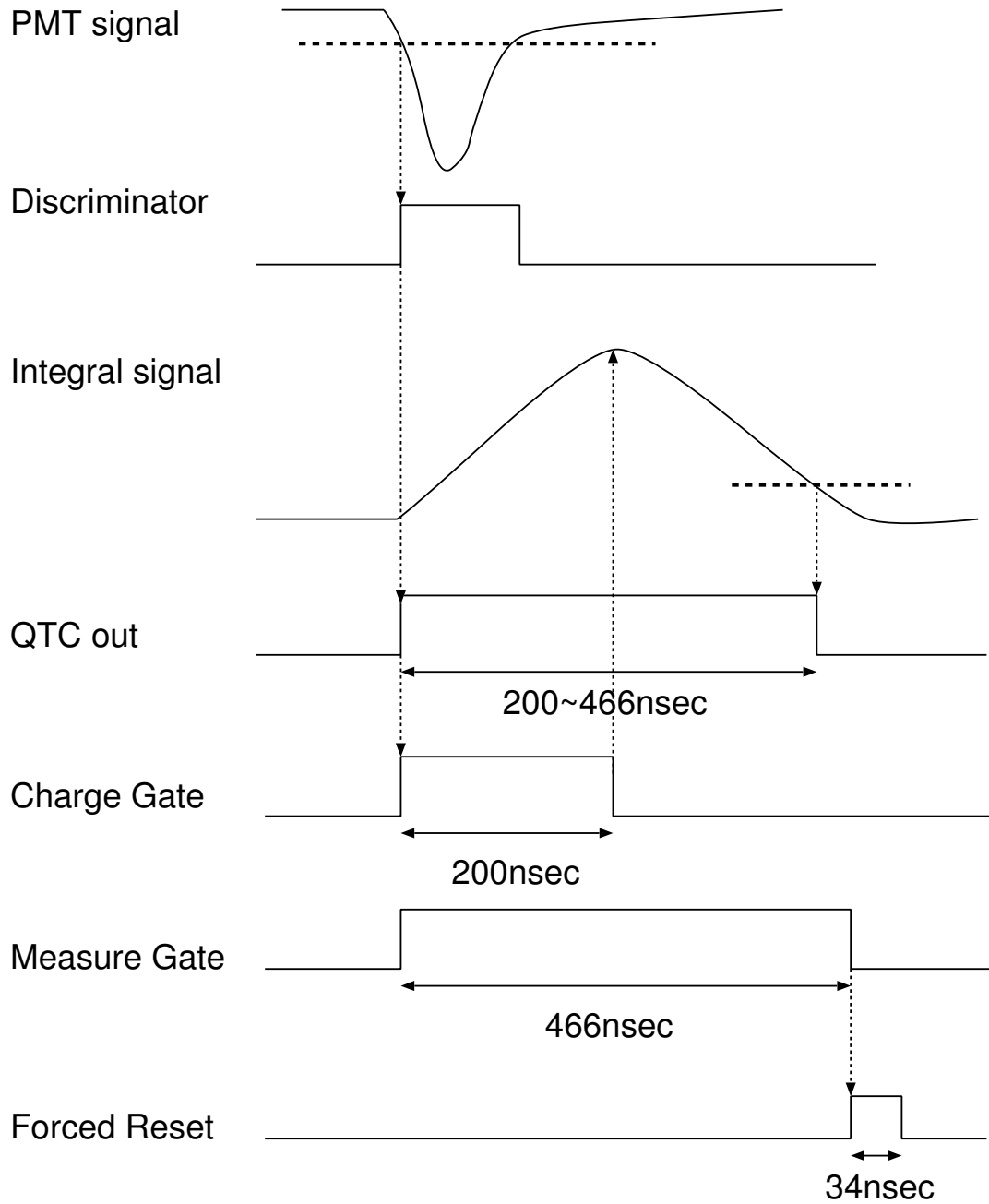


図 5.2 QTC のタイミングチャート

5.1.3 ディスクリミネータへの要請：低ノイズ化

ディスクリミネータは現在 1/4 p.e. で設定されている閾値を 1/6 p.e.(~ -0.5 mV) にまで落とせるようにしても、エレクトロニクス起因のノイズによる偽のヒットを起こさないことが要請として挙げられる。

そのために、ディスクリミネータへ入力されるノイズが十分小さいことが必要である。設計段階でのシミュレーションでは、ノイズの原因としては 10 k Ω の入力抵抗とプリアンプ中の抵抗の熱雑音が主な原因となり得ることが分かり、それらからくるノイズの大きさを見積もった結果、入力換算ノイズ電圧は 0.04 mV (RMS) となることも分かった。したがって、 $\pm 3\sigma$ となる ± 0.12 mV の中には 99.7 % のノイズは収まっていることになる。これは、要請である -0.5 mV の閾値より十分小さく、シミュレーション上ではノイズレベルは十分小さいレベルにあると言える。

さらに、ディスクリミネータの閾値を十分な分解能、少なくとも 0.1 mV 以下の分解能で設定できることも必要である。

CFD (Constant Fraction Discriminator) 2.5 で述べられたように、入力された信号がディスクリミネータの閾値を越えるまでの時間は、入力信号の振幅が大きければ大きいほど早くなるというタイムウォークの効果があることが知られている。

このような補正は可能な限り無い方が好ましい。そこで、このタイムウォークの効果無くするため、CFD (Constant Fraction Discriminator) として知られている特殊なディスクリミネータを選択可能とした。また、CFD の中でもその方式はいくつか存在するが、今回我々が検討したのは遅延反転方式と二階微分方式である。

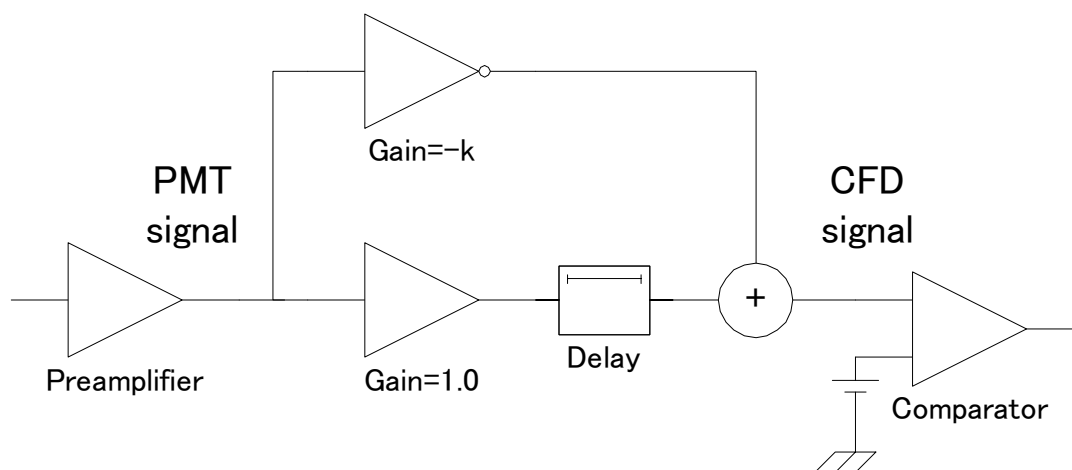


図 5.3 遅延反転方式 CFD

まず、遅延反転方式について図 5.3 にそのブロック図を示した。この方式では光電子増倍管からの信号を二つに分け、一方は 1 倍の信号を遅延させ、もう一方の信号は $-k$ ($0 < k < 1$) 倍させ、

それらを加算した信号がゼロレベルを横切るタイミングを検出するものである。この方式は振幅によるタイムウォークだけでなく、信号の立ち上がり時間の違いの効果も吸収することができる。

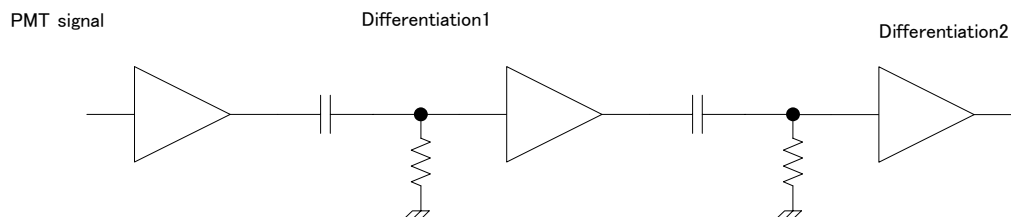


図 5.4 二階微分方式 CFD

次に、二階微分方式についてブロック図を図 5.4 に示した。これは、微分回路を二段用いて、もとの波形を二階微分した信号がゼロレベルを横切る時間を検出する。この方式は、信号の変曲点を検出するもので、信号の立ち上がり時間が同じであれば、変曲点を迎えるまでにかかる時間が、振幅によらずにほぼ一定となることを用いたものである。

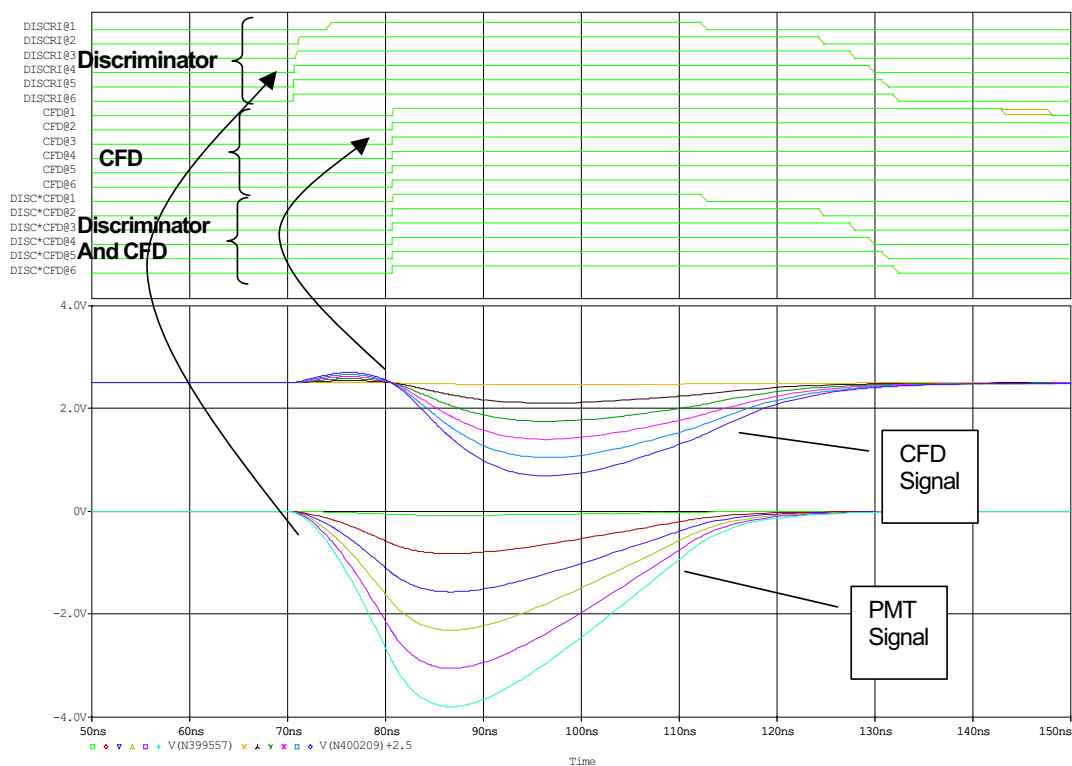


図 5.5 CFD の SPICE シミュレーション結果。様々な振幅の光電子増倍管からの信号に対して、CFD からの出力信号タイミングは常に一定に保たれている。

この二つの方式のうちどちらを採用するかを検討のため SPICE*15 によるシミュレーションが行われた。その結果を図 5.6 と図 5.7 に示した。光電子増倍管の信号入力から出力信号の立ち上がりまでの時間を比較すると遅延反転方式では約 9.1 nsec、二階微分方式では約 17.0 nsec であった。また、数 mV レベルの信号と数 100 mV レベルの信号とのタイムウォークの差はどちらの方式でも 3 ~ 4 nsec 程度であった。

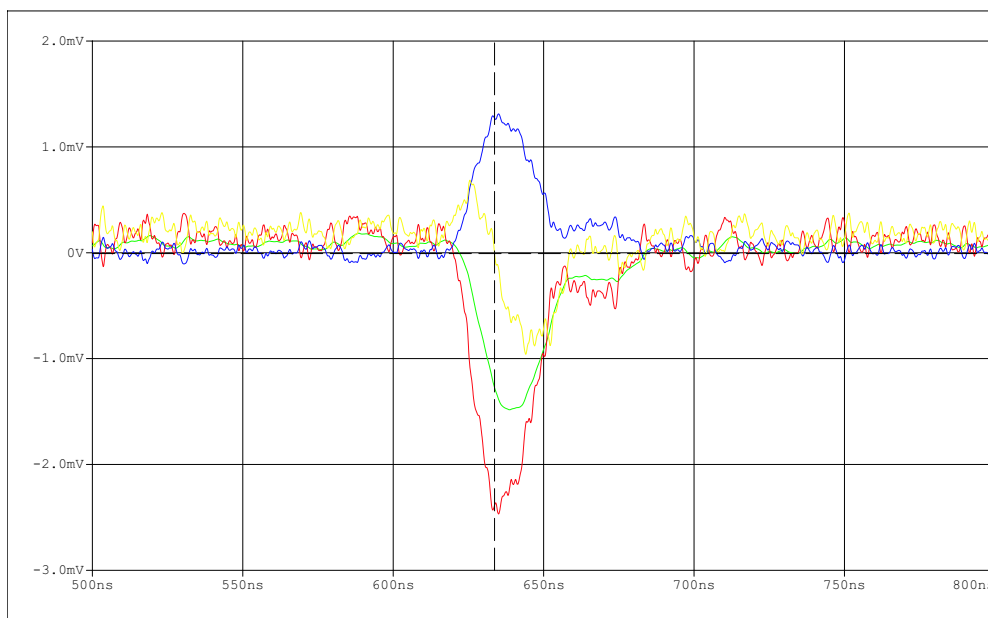


図 5.6 遅延反転方式による CFD の SPICE シミュレーション結果の例。赤色の線が入力波形 (実際の光電子増倍管からの信号)、緑色の線は遅延信号、青色の線は反転信号。黄色の線がそれらの加算信号であり、このレベルが 0 V を横切る時間が CFD 出力の立ち上がり時間である。

信号を出力するまでにかかる時間では遅延反転方式の方が短い、二階微分方式の方がゼロレベルを横切るときの信号の変化が大きい傾向にあったため、出力信号のエッジのジッタを小さくするために二階微分方式を採用した。ただし、二階微分方式による CFD はノイズによる誤動作や小さな信号で動作しないなどの問題が懸念されたためにこの機能をレジスタ設定により、ON/OFF することができるようにした。また、CFD は普通のディスクリミネータより信号を出力するまでにかかる時間が長いため、電荷の積分開始ゲートは CFD 機能の ON/OFF によらずに普通のディスクリミネータの出力信号の立ち上がりで開始される。

*15 Simulation Program with Integrated Circuit Emphasis の略。広く普及している回路シミュレータ。

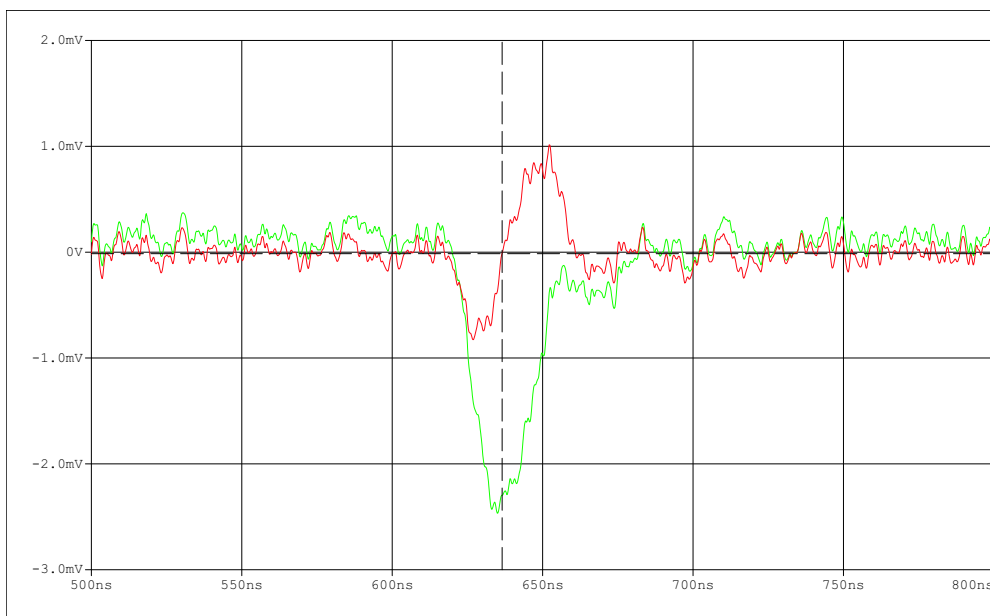


図 5.7 二階微分方式による CFD の SPICE シミュレーション結果の例。緑色の線が入力信号、赤色の線が二階微分回路の出力信号であり、このレベルが 0V を横切る時間が CFD 出力信号の立ち上がり時間となる。

5.1.4 入力部：分圧とインピーダンス整合

ここでは入力部に関する議論について述べる。まず、QTC は +3.3 V だけで動作するから光電子増倍管からの負の信号を直接入力しても、プリアンプで増幅することはできない。したがって、入力部は AC 結合としなければならない。

(コンデンサで DC 成分を切り、QTC 内部では約 +1.2 V のオフセットを持たせることで、例えば、-50 mV の信号も $+1.2 - 0.05 = +1.15$ V の正の信号となる。)

さて、QTC は 1 チャンネルにつき 3 つのゲインを持つが、一つのプリアンプで大きなダイナミックレンジの線型性を保つのが難しいため、それぞれのゲインに合わせて最初に信号を抵抗分圧し、それをプリアンプに入力するという方法をとる。

最初にこの分圧抵抗をチップ内部で行ったときを考えてみる。まず、チップへの入力インピーダンスは 10 k Ω 程度である。これはチップ内部ではあまり大きな抵抗を作ることができないためである。さらに、コンデンサに関してもチップ内部で大きなものは占有面積が大きくなってしまいうため、2 pF 程度のものしか作れない。したがって、この場合の入力部の等価回路は図 5.8 のようになる。このときの遮断周波数 f_c は $f_c = 1/(2\pi RC) = 8$ [MHz] となる。光電子増倍管の信号の持つ周波数は図 2.9 のようになるから、8 MHz という遮断周波数は十分小さいものではない。したがって、波形は図 5.10 のように微分波形になる。

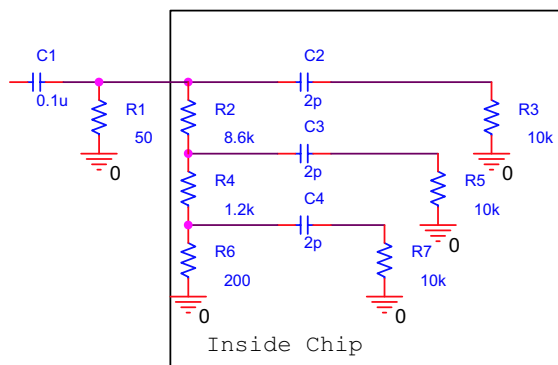


図 5.8 チップ内部に分圧抵抗とコンデンサを入れた場合の入力部等価回路

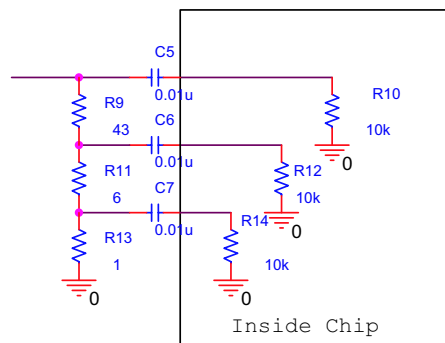


図 5.9 チップ外部に分圧抵抗とコンデンサを置いた場合の入力部等価回路

一方、分圧抵抗とコンデンサを外部に配置した場合の等価回路とそのシミュレーション結果を図 5.9 と図 5.11 に示した。この場合には抵抗とコンデンサの大きさに関しては特に制限が無いので、シミュレーション結果のように波形は微分波形にはならず正しく出力される。以上から、ゲイン調整のための分圧などはチップ外部で行うこととした。つまり、3 つのゲインを持つとはいってもチップ内部の構成としては同じのゲインの 3 つのチャンネルが並ぶことになる。

しかし、この抵抗分圧の方法にはまだ問題がある。図 5.9 では 1 : 6 : 43 [Ω] の抵抗で元の信号

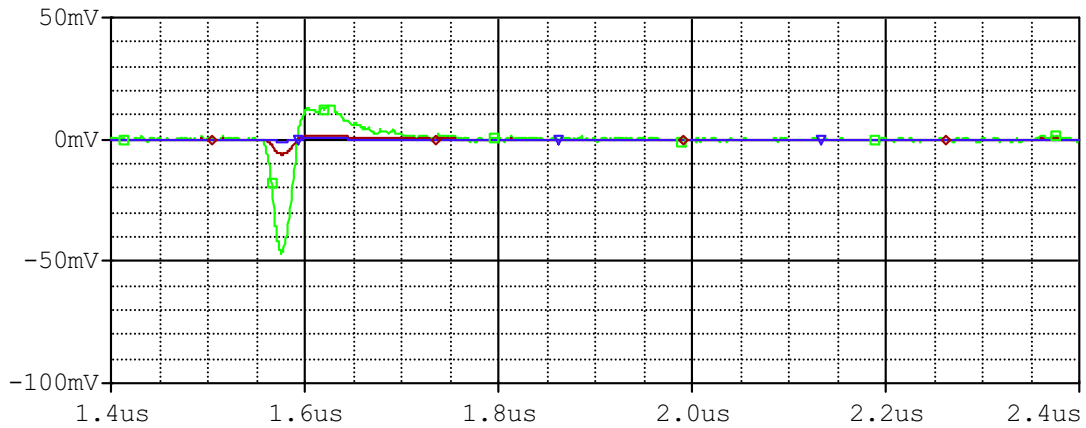


図 5.10 図 5.8 の回路のシミュレーション波形。

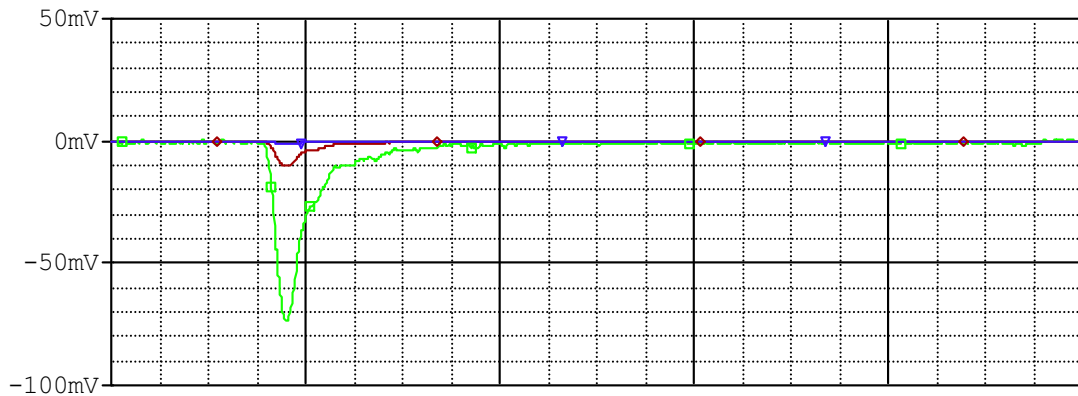


図 5.11 図 5.9 の回路のシミュレーション波形。横軸のスケールは図 5.10 におけるものと同じである。

を $1 : 1/7 : 1/49$ の比に分け、かつ 50Ω の終端をするのであるが、まず 6Ω や 1Ω といった抵抗はチップ抵抗として精度の良いものを手に入れることができない。また、抵抗を組み合わせで作るのも場所をとってしまう。そこで、入力部の分圧は図 5.12 のように $17 \text{ dB}(= 1/7)$ の減衰器を用いることにした。この減衰器は図 5.12 に記されているような非常に高精度な抵抗のネットワークで構成されており、数 GHz までの十分な帯域をもつ。

ここでの抵抗ネットワークだけを考えれば、高精度に 50Ω に終端されているが、実際にはチップ内部の容量成分やチップの入力インピーダンス (約 $10 \text{ k}\Omega$) なども、反射を 0.1% 以下に抑えるということを考えると無視できなくなる。そのため、実際にはさらにインダクタンスと抵抗を直列に挿入することで最終的な補正を行うこととする。

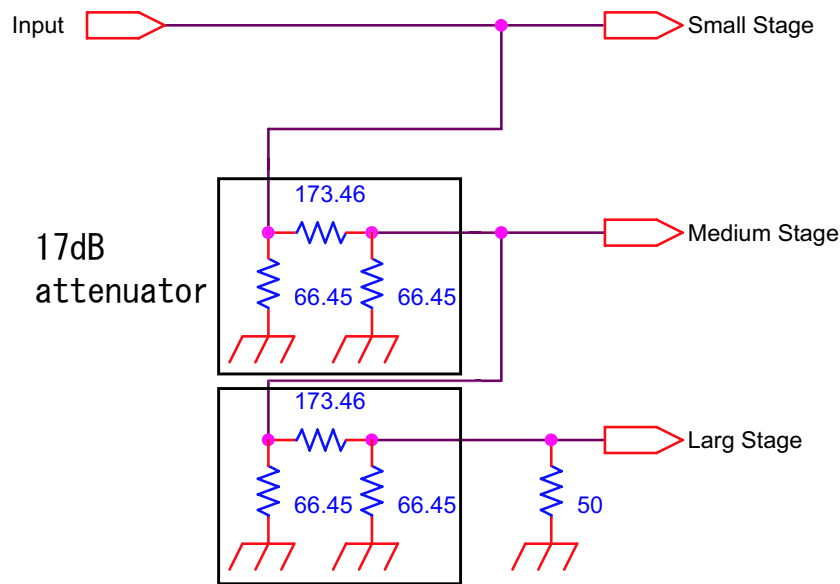


図 5.12 入力部の分圧抵抗の構成

5.1.5 CAL 入力：キャリブレーション作業の簡素化

キャリブレーション作業の簡素化の第一歩は、QTC において全てのチャンネルのキャリブレーションを同時に行えるようにすることである。

そのために、QTC には全てのチャンネルに同時に信号を入力することのできる CAL 入力というキャリブレーション用のチャンネルを設ける。ただし、通常のチャンネル入力とは違う経路での入力なので、どうしてもゲインの違いなど応答に差が出てしまうことも考えられる。この差が無視できるほど小さいか、もしくは、CAL 入力から信号を入力したときの出力信号と通常のチャンネル入力の際の出力信号とで一対一の対応を付けられることが求められる。

5.2 QTC の仕様と基本動作

ここでは、QTC の基本的な動作の概要について述べることにする。

主な仕様は表 5.2 に挙げた。また、一つのチャンネルのブロック図を図 5.13 に示す。

まずは、光電子増倍管からの信号が入ってから QTC からの信号が出力されるまでの流れを追いながら、各部の説明を行う。

信号入力部 QTC は 1 チップにつき、3 つのチャンネル入力を持つ。さらに、それぞれのチャンネルが 3 つのレンジの役割を果たす 3 つのサブチャンネルを持つ。ただし、入力部の仕様の検討のところでも述べたように、QTC 内部では 3 つのサブチャンネルはほぼ同じ構成をしている。図 5.13 のブロック図では、Ch1 の Small レンジ以外は省略しているが、他のチャンネルでも同様な動作をする。

表 5.2 QTC の主な仕様

入力チャンネル数	3 ch
処理速度	1 サイクル 500 nsec (可変)
ダイナミックレンジ	~ 1250 p.e. (~ 2500 pC) (可変) (1 ch につき 3 レンジ)
電荷分解能	0.1 pC/Count (Small レンジ) (AMT 60 MHz 動作時)
時間測定精度	0.1 nsec (RMS) 以下
ディスクリミネータ	内蔵 (CFD を選択可能)
消費電力	約 200 mW/ch
電源電圧	3.3 V
プロセス	0.35 μ m CMOS
パッケージ	100 pin CQFP

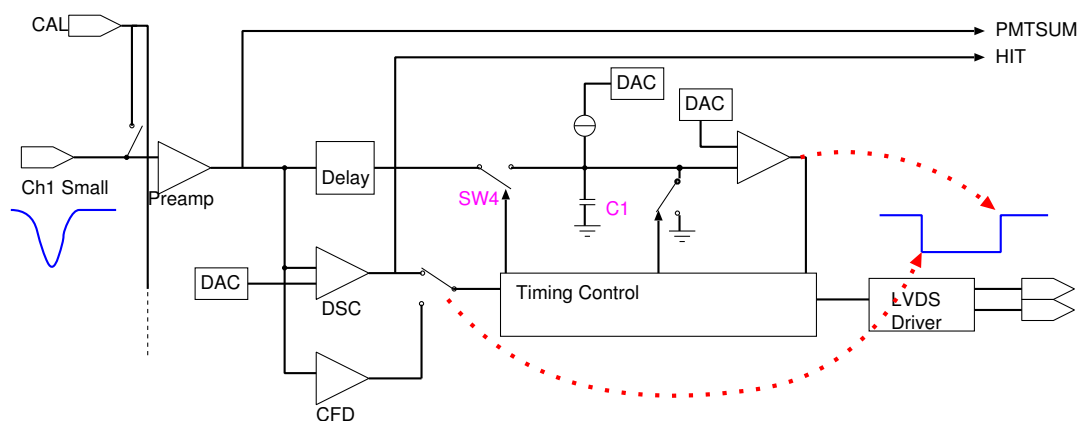


図 5.13 QTC ブロック図。ある 1 チャンネルの 1 つのレンジのブロック図である。赤い点線で示した矢印は QTC 出力信号の各エッジの時間をどの部分が決定しているかを図示したものである。

光電子増倍管からの信号はまず前節で述べたような抵抗ネットワークで分圧され、1/1、1/7、1/49 倍されて、3 つあるサブチャンネルに同時に入力され、プリアンプで増幅される。例えば、Small レンジの最大入力 51 pC は信号の振幅に直すと、約 -70 mV に相当する。したがって、プリアンプへの最大の入力は約 -70 mV となるから、これが増幅後に飽和を起こさないように、プリアンプの増幅率は約 20 倍とした。

また、CAL 入力から入力された信号も同様にプリアンプへと入力される。さらに、CAL 入力から入力された信号は全てのチャンネルの全てのレンジのプリアンプへと入力される。

プリアンプから出力された信号はいくつかの部分に分配される。

- PMTSUM 回路
- 信号の積分部へと電流を流すための V/I (電圧 → 電流) 変換回路
- ディスクリミネータ部

続いて、ディスクリミネータ部へと信号が入力された後の処理について述べていく。

ディスクリミネータ 5.1.3 で述べたように QTC はディスクリミネータとして CFD を選択可能である。ここでは通常のディスクリミネータを DSC と呼ぶことにする。DSC と CFD との関係を表したのが図 5.14 のブロック図である。このブロック図ではある一つのチャンネルにおける Small レンジのみを表している。

ディスクリミネータ部へと入力された信号は CFD 部と DSC 部に分けられ、各部で設定された閾値を越えると、DSC 部、CFD 部からそれぞれ信号が出力される。CFD 部に関しては、ノイズによるヒットが出ることも考えられたため、DSC 部との論理積をとり、その出力としている。そして、一つのチャンネルの DSC 出力と CFD の出力は 3 つのレンジで共通であり、それらは 3 つのレンジの論理和となっている。したがって、QTC 出力の最初のエッジは全てのレンジにおいて同時になる。また、レジスタ設定によりあるレンジのディスクリミネータ部を無効にすることができるので、それにより、どのレンジの信号をディスクリミネータとして用いるかを定めることができる。通常の使用では、信号が減衰されないで入力される Small レンジのディスクリミネータの出力のみを有効にして、他のレンジのディスクリミネータの出力を無効にしておくことになる。

QTC 出力の最初のエッジを CFD か DSC のどちらが作るかはレジスタ設定により選択できる。ただし、CFD を選んだ場合でも信号の積分の開始は DSC 出力の立ち上がりで開始される。

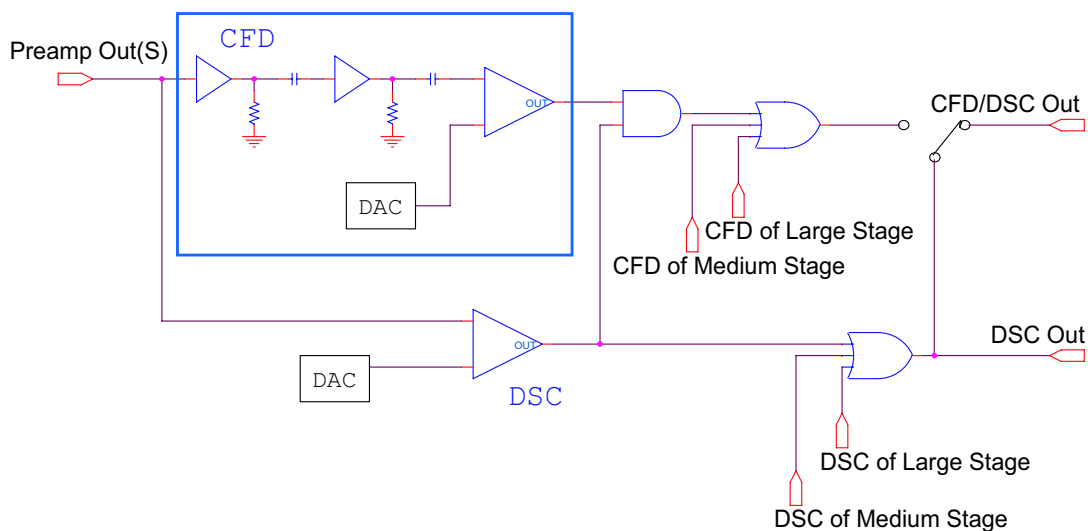


図 5.14 ディスクリミネータ部ブロック図。各サブチャンネル (レンジ) は独立にディスクリミネータを持つ。ただし、最終的な出力はそれらの論理和をとり、チャンネルごとに一つにまとめられる。

QTC 立ち下がりエッジの生成とタイミングコントロール (積分、測定ゲート生成) ディスクリミネータ部から信号が出力されるとその信号を引き金に信号の積分や積分ゲートの生成などが行われる。

ここで、少し信号の流れから離れて、QTC の中でどのように時間が生成されているかの説明を先に行う。QTC 中でのゲート幅や QTC 出力信号の幅などの時間の生成は基本的にみな同じ回路のパターンを使って生成されている。そのパターンは QTC Timer と呼ばれ、図 5.15 がその概略である。この回路は一つのコンパレータ^{*16}と二つの DAC^{*17} とスイッチ、コンデンサからなる。まず、積分ゲートなどの生成がどのように行われるかについて述べる。

1. 初期状態ではスイッチ SW1 と SW2 は図 5.15 のような状態で、コンデンサ C1 の両端には電圧がかかっており、電荷が既に貯まっている状態である。
2. スタート信号が入力されると、SW2 が切り替わり、コンデンサ C1 の電荷は SW2 の下にある定電流源で引かれる。
3. C1 の両端にかかる電圧は次第に低くなっていく。
4. C1 の両端にかかる電圧がコンパレータの閾値 V_{th} より低くなると、コンパレータの出力レベルがそれまで Low だったものが High へと切り替わる。

このような流れで、スタート信号を入力してから、コンパレータの出力レベルが切り替わるまでの時間を QTC 内部ではゲート幅として使っているのである。この時間は定電流源の電流の大きさとコンパレータの閾値の電圧の大きさに依存していて、それらはどちらも 6 ビットの DAC で設定することができる。したがって、この 2 つの DAC を調整することで、ゲート幅の調整を行うことができる。

ディスクリミネータ部から信号が出力されると、まず、積分ゲート生成のためのスタート信号が入力される。それと同時に、もとの入力信号の電荷の積分が開始される。具体的に言えば、図 5.13 中の SW4 スイッチが閉じられることで、V/I 変換されたプリアンプの出力が図 5.13 中の C1 コンデンサに積分され始める、ということになる。この C1 コンデンサは図 5.15 中の C1 と同一のものである。

QTC 出力幅の生成も図 5.15 の QTC Timer で行われるが、その動作は少し異なっており、それについて次に説明する。

1. 初期状態のスイッチの状態は図 5.15 に書かれている通りの状態で、C1 コンデンサの両端には電圧がかかっていない。
2. 積分される電荷は図 5.15 中の V_{sig} と書かれたところから入力され、C1 コンデンサに充電される。

^{*16} Comparator、すなわち、二つの入力の電圧を比較するもの。どちらの入力が高いかによって、出力レベルを決定する。

^{*17} Digital to Analog Convertor の略。

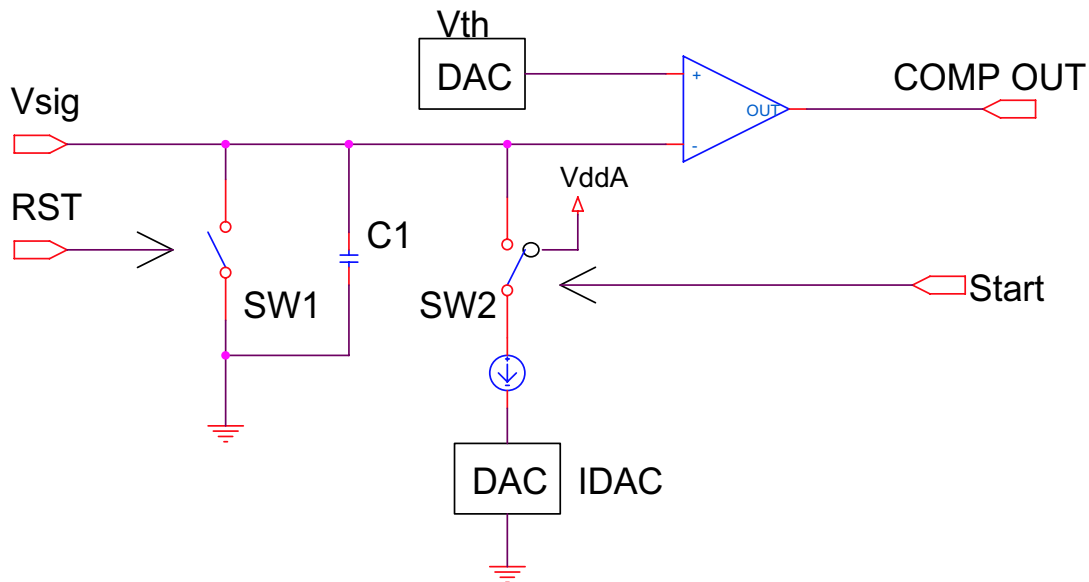


図 5.15 QTC Timer

3. 約 200 nsec が経過すると、積分ゲートが閉じられる。
4. 図 5.13 中のスイッチ SW4 が開かれ、信号の積分が止められる。
5. 測定ゲートを生成する QTC Timer にスタート信号が入力される。
6. 光電子増倍管からの信号を積分してきた QTC Timer にも放電を開始するスタート信号が入力される。
7. C1 の両端にかかる電圧がコンパレータの閾値を下回ると、コンパレータの出力レベルが切り替わる → QTC 出力信号の立ち下がりエッジの生成
8. 測定ゲートが終わると、リセット信号が発せられ、強制的に C1 の電荷は速やかに放電される。入力信号が大き過ぎて、放電が終わっていなかったときには、このときに立ち下がりエッジが生成される。

入力信号の電荷が大きいほど、放電にかかる時間は長くなるから、QTC 出力信号の幅も大きくなることになる。もう少し詳しく言えば、QTC 出力信号の幅から積分ゲートの長さ (≈ ペDESTAL の幅) を引いた時間が入力電荷に比例することになる。このときも定電流源の大きさとコンパレータの閾値電圧でこの出力信号の幅は変えることができる。すなわち、これらの DAC を調整することでゲインの調整を行うことができる。

ペDESTAL ここで、QTC におけるペDESTAL について説明しておく。実際には電荷が入力されていないときでも、オフセット電圧とペDESTAL 電流と呼ぶ定電流源によって、C1 コンデンサに電荷は充電されている。さらに、QTC には Pedestal 入力と呼ばれる強制トリガー入力があり、それによって、信号の入力が無くともディスクリミネータがかかった状態にすることができる。そのときに出力される QTC の出力幅がちょうど、入力電荷 0 のときに対応するので、それをペデ

スタルと呼ぶことができる。

また、オフセット電圧とペDESTAL電流も 6 ビットの DAC で設定することができるので、それらを調整することにより、ペDESTALの幅を調整することができる。

出力部 QTC の出力信号の各エッジがどのように生成されるかをこれまで述べてきた。ここで、出力される信号とそのレベルについてまとめておく。

表 5.3 QTC からの出力信号

信号名	チャンネル数	出力レベル
QTC OUT	3 × 3	LVDS
OTR (Over The Range)	3 レンジ	LVDS
HIT	3 チャンネル	15 mV (50 Ω 終端時) 5 nsec 幅
PMTSUM	1	各チャンネルの入力を 1/3 して加算した信号

OTR とはあるレンジが飽和してしまったとき、すなわち、測定ゲートが終わるまでに放電が終わらなかったときに出力される信号である。

HIT とは、各チャンネルの入力がディスクリミネータの閾値を越えたときに出力される信号である。HITSUM 信号の生成のために使われる。

TDC で読むべき QTC OUT 信号は TDC の入力レベルに対応して、LVDS レベルで出力され、TDC へと直接つながれることになる。

5.3 QTC の開発

以上のように述べられた仕様にしたがって、QTC を開発した。これまでの開発経過としては 2005 年 5 月に最初のプロトタイプが完成し、その後、その性能が要求を満たすか、問題無く測定が行えるかなどの評価を行った。さらに、この評価の結果をもとに次期版の設計がなされ、2005 年 11 月には次期版の製作を始めた。次期版の完成は 2006 年 1 月の予定であり、さらなる評価を行い、問題が無ければ、新 ATM のプロトタイプへと搭載する予定である。

最初のプロトタイプのマスクレイアウト (配線図) は図 5.16 のようになっている。この図を見ると、同じようなパターンが 9 本並んでいるのが分かる。これらが 3 つのチャンネルと 3 つのレンジからなる全部で 9 つのサブチャンネルに対応している。そして、実際にできあがったチップの写真は右側の図 5.17 である。大きさは横 2.9 mm、縦 3.4 mm、面積は 9.9 mm² である。光電子増倍管からの信号はこれらの図の左側から入力され、右側から出力されることになる。

図 5.18 に QTC プロトタイプの動作を示す波形の例を示した。図中にはそれぞれ、入力波形、QTC 出力波形、内部積分信号を示した。また、この図は入力信号の振幅を何通りか変えて、それを重ね書き表示したものである。入力波形が大きくなるほど、積分信号が大きくなり、それにともなって、放電にかかる時間も長くなり、QTC 出力信号の幅が大きくなっている様子が確認できる。

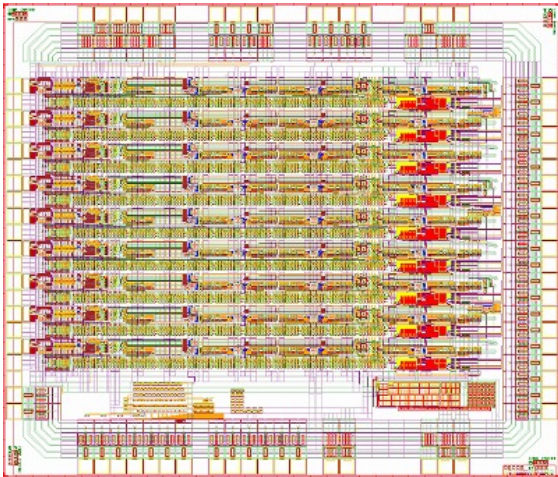


図 5.16 QTC チップのマスキレイアウト図 (配線図)。全部で 9 本の同様なパターンが並んでいるのが分かる。

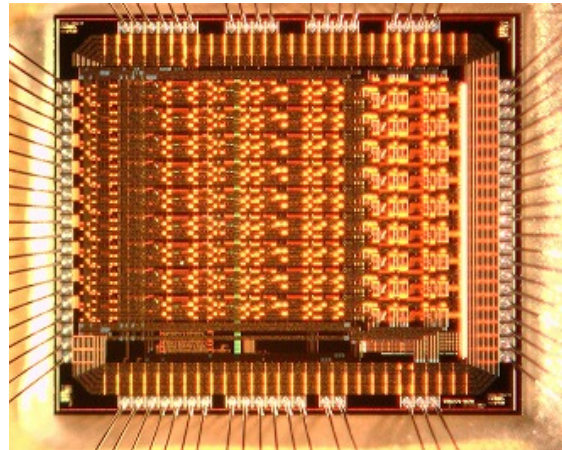


図 5.17 QTC チップの写真。縦 2.9 mm、横 3.4 mm で面積は 9.9 mm² である。信号は左から入力され、右側から出力される。

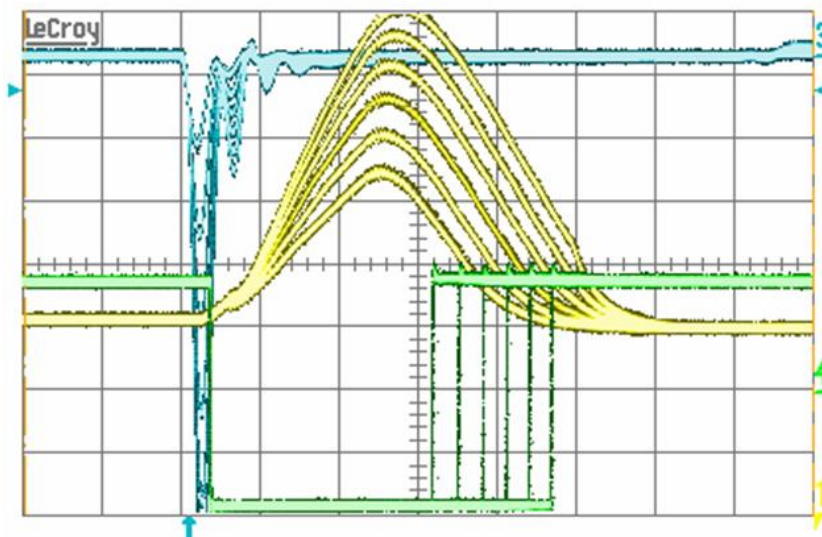


図 5.18 QTC の出力波形の例 (100 nsec/div)。青色の波形が入力信号である。緑色の波形は QTC の出力信号を差動プローブにより取得したものである。黄色の波形はテスト端子から出力される内部の積分信号である。入力信号の振幅を何通りか変えて、重ね書き表示したものである。

5.4 基本性能の評価

ここからは開発されたプロトタイプが我々の要請を満たすかの性能評価の結果について述べる。

5.4.1 評価基板

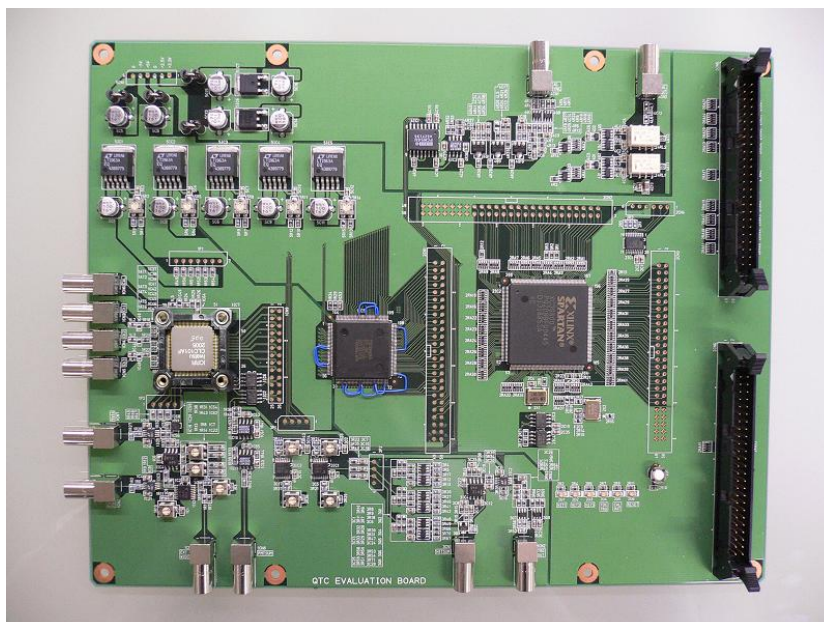


図 5.19 QTC 評価基板

QTC の性能評価を行うにあたって、我々はまず、評価基板の開発を行った。評価基板の写真を図 5.19 に示す。また、ブロック図を図 5.20 に示した。できるだけ実際の ATM に近い形での評価ができるように、QTC 以外にも TDC と FPGA を実装し、基本的な信号の流れは図 4.5 の新 ATM のブロック図と同じで QTC → TDC → FPGA といった順に信号を処理していく。

評価基板の構成 評価基板には QTC、TDC、FPGA がそれぞれ一枚ずつ搭載されている。したがって、評価基板は 3 チャンネルの入力を持つ。また、FPGA としては Xilinx 社の Spartan 3 を用いている。さらに、評価基板上は QTC、TDC、FPGA の他にキャリブレーションパルサーを持つ。これは任意の振幅の 50 nsec 幅の矩形波を出力することができるものである。出力のタイミングと振幅は FPGA によって制御することができる。ただし、出力された信号は QTC には直接接続されてはならず、外部に出力されているのみである。

また、FPGA は 40 MHz クロックで動作させる。TDC を 40 MHz クロックで動作させるときは FPGA を通してクロックを供給する。ただし、TDC を 60 MHz クロックで動作させるときには、60 MHz クロックを直接 TDC とつないでクロックを供給する。クロックに関しては、特別に高精度の水晶発振器を用いてはいない。評価ボード上に実装されているクロックの安定性は

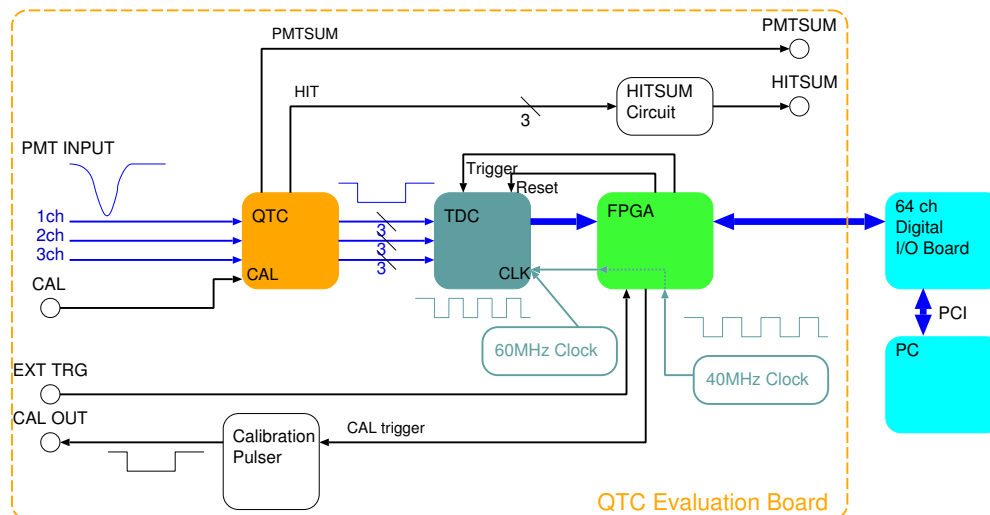


図 5.20 QTC 評価基板ブロック図。QTC、TDC、FPGA がそれぞれ一枚ずつ実装されている。他にもキャリブレーション用のパルサーや HITSUM 回路などできるだけ新 ATM と同じ様な構成になるようにしている。

±100 ppm (−10 ~ 70) で、ジッタは約 100 psec (p-p) である。

FPGA から PC への読み出しは Interface 社の 64 ch デジタル I/O ボードを用いた。この I/O ボードを用いた読み出しは簡単なプログラムで動作するのだが読み出し速度は速くない。今回作成した読み出しのプログラムでは 40 kHz 程度の読み出し速度であったので、高速化に関する評価などは殆ど行っていない。

TDC の 60 Mhz クロックでの動作に関して 今回の評価は TDC の試験の意味もあり、現在のところ TDC に関しては問題なく動作している。ただ、60 MHz での TDC の使用に関しては注意すべき点があるので、それについて述べる。

この AMT という TDC はもともと 40 MHz で動かすことを前提に作られている。そのため、40 MHz では十分に試験が行われているが、それより高い周波数となると、一応の動作は確かめられているものの、実際に長期の試験などはなされていないとのことであった。しかし、今回我々はこれを 60 MHz のクロックで動作させようとしている。そこで、60 MHz で正常に動作するのかが心配されたのだが、結果としては問題なく動作している。ただし、60 MHz クロックで動作させるとともに非常に高い頻度でヒットを入力するなどすると、パリティのエラー^{*18}が検出されるようになった。ただし、実際のデータ自体は問題なく出力されており、おそらくパリティの計算部分の速度が追い付かなくなっているだけなのであったので、TDC の開発者である KEK の新井先生の助言をもとに電源電圧を 3.3 V から 3.6 V に上げた結果、パリティチェックのエラーは出なくなった。

^{*18} AMT ではカウント値の書き込み時と読み出し時にデータのパリティを計算し、それが一致していることを確かめている。このエラーはこのパリティが一致しなくなったときに出力される。

5.4.2 測定方法

ここでは、QTC の評価に用いた主なセットアップについて述べる。図 5.21 に基本的なセットアップを示した。また、測定に用いた主な測定器を表 5.4 に挙げた。

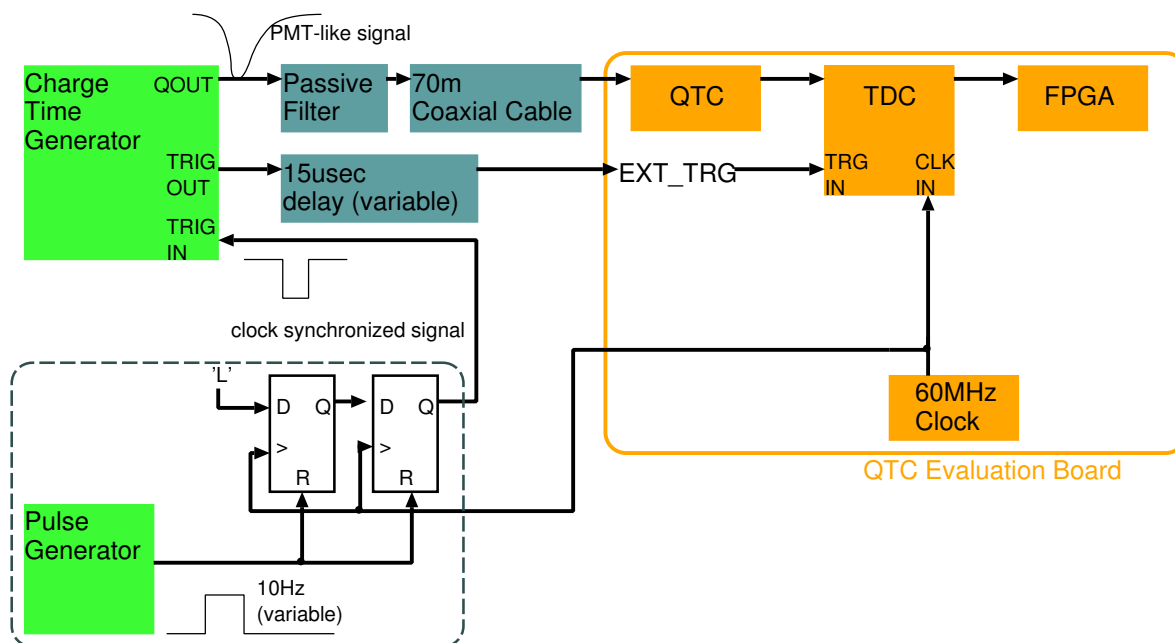


図 5.21 QTC 性能評価の基本的なセットアップ

信号源：Charge Time Generator まず、信号源には殆どの場合において Charge Time Generator (以下、CTG と呼ぶ。) という光電子増倍管と似た波形を出すことのできる較正済み信号源 (CAMAC モジュール) を用いた。これは現在の ATM のキャリブレーションに使われているものと同じである。CTG が出力できる電荷は 600 pC までなので、CTG を用いた測定は基本的に 600 pC までの測定である。CTG から出力される波形の例を図 5.22 に示す。光電子増倍管の波形に近いとはいえ、70 m の同軸ケーブルを伝ってくるスーパーカミオカンデにおける光電子増倍管の信号よりは、立ち上がり時間が遥かに速いことが分かる。これほど立ち上がり時間が速いと、想定しているプリアンプへの最大入力電圧を優に越えてしまう可能性があり、電荷測定は正しく行えなくなると考えられる。

この波形をできるだけ実際に近いものへと近づけるために、フィルターと 70 m の同軸ケーブル (RG-58) を用いることにした。フィルターは、コンデンサとコイルのみを用いたパッシブで損失の無い 20 MHz のローパスフィルター (Low-pass filter) である。その結果の波形が図 5.23 であり、実際の光電子増倍管からの信号とほぼ同じ立ち上がり、立ち下がりともに約 20 nsec となっている。フィルターは原理的には全く損失が無いが、70 m の同軸ケーブルの減衰は無視できない。同軸ケーブルを通る前と後で、信号の面積をオシロスコープで測定してみると、約 2 % 程度の減

表 5.4 性能評価に用いた主な測定器

目的	モジュール名など	性能など
信号源	Phillips Charge Time Generator 7120	～ 600pC, 16bit
波形観測	LeCroy LT-584 (Digital Oscilloscope)	1GHz, 2GS/sec
可変遅延発生	Wiltron Variable Delay Line (model 3114)	～ psec delay
インピーダンス測定など	Vector Network Analyzer HP-8753C	30kHz ～ 6GHz
任意波形発生	NF WF1965 (Function Synthesizer)	50MHz

衰があることが分かった。ただし、この割合は電荷の大きさによらないようであったので、特に問題となることは無い。

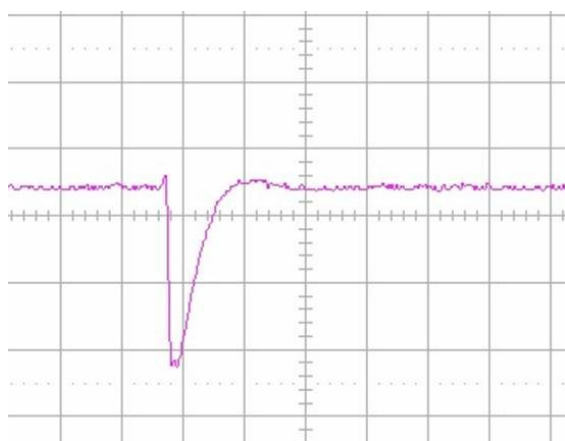


図 5.22 CTG からの直接の信号をデジタルオシロスコープで観測した波形 (20 nsec/div, 100 mV/div)

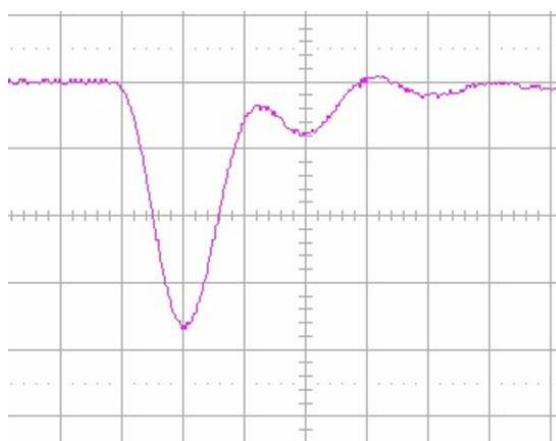


図 5.23 20 MHz のフィルターと 70 m の同軸ケーブルで鈍らせた後の波形 (20 nsec/div, 20 mV/div)

クロック同期信号と微小可変遅延 図 5.21 中では TDC に入力される 60 MHz を外部にも取り出して、クロックと同期した信号を作り、その信号を CTG のトリガー入力に入力し、CTG からの出力信号をクロックと同期させている。これは、時間分解能の測定のためには信号の入力とクロックとの位相差を固定しておく必要があるからである。また、その位相差を少しずつずらすことも必要であり、そのために、信号の遅延を数 psec オーダーで少しずつ変えることのできる可変遅延線を、CTG から QTC への入力の間挟んだ。

5.4.3 電荷測定ダイナミックレンジ

それでは、ここから性能評価の結果について述べていくことにする。

まず、性能評価の最初に、QTC が要請通りに 2500 pC の信号まで飽和せず取得することができるか確かめた。QTC への入力電荷の大きさと出力信号幅の関係を図 5.24 に示した。このときの信号源としては評価基板上のパルサーを用いており、パルサーからの信号の電荷はデジタルオシロスコープで信号の面積を測定することにより求めた。各信号幅は評価基板上の TDC によって読み出すことにより、その測定を行った。また、縦軸の出力信号幅は、ペDESTAL測定時の出力信号幅をあらかじめ引いた値である。したがって、実際の QTC からの出力信号幅はこの値に約 200 nsec を足した大きさの信号が出力されている。以降、特にことわりがない限り QTC の出力信号幅とはペDESTALの幅を引いた後の幅を意味するものとする。

図 5.24 において、最も大きな電荷の入力は 2500 pC であり、目標とするダイナミックレンジを実現できていることがわかる。

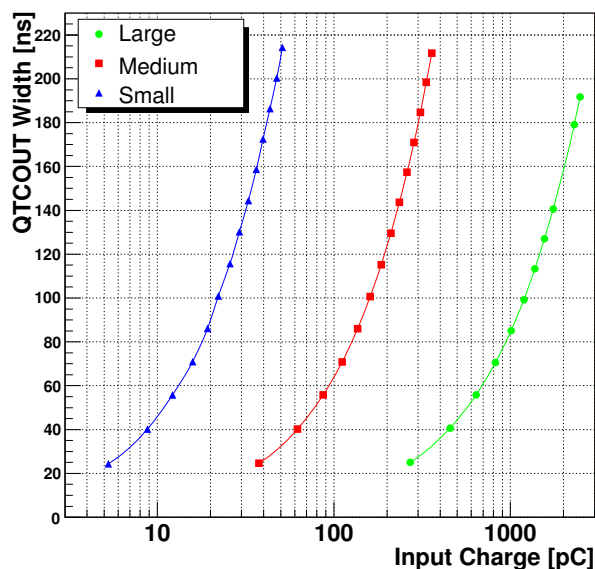


図 5.24 入力電荷に対する QTC の 3 つのレンジのそれぞれの出力信号幅の変化。最大入力電荷は 2500 pC である。Large レンジでは確かに 2500 pC の入力まで飽和することなく測定可能である。

5.4.4 電荷測定精度

次に、QTC の電荷測定精度の評価について、その結果を述べる。

電荷測定精度を測定するにあたって、信号源は CTG を使用した。入力する電荷を固定して、QTC からの出力信号幅のばらつき (標準偏差) を電荷測定精度として評価した。Large レンジにお

ける測定が 600 pC までしかなされていないのは CTG の出力最大電荷が 600 pC であるからである。

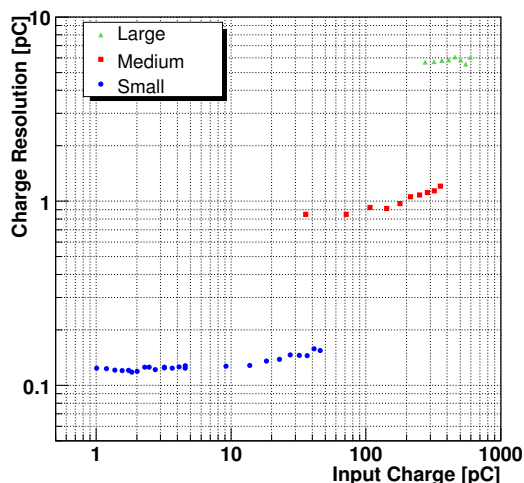


図 5.25 3つのレンジにおける電荷測定精度と入力電荷との関係。Smallレンジではほぼ 0.1 pC の測定精度が得られた。

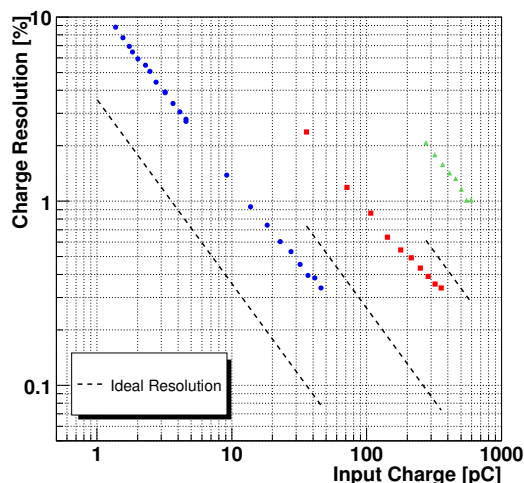


図 5.26 相対精度 (測定精度/入力電荷) と入力電荷の関係。黒色破線は TDC で期待される時間精度の理論値をもとに計算した分解能。

結果 測定結果を図 5.25 に示す。また、この結果を相対的な電荷測定精度に直したのが図 5.26 である。図 5.26 における黒色の破線は、測定された信号幅のばらつきが TDC における量子化誤差のみによった場合の時間測定精度の理論値 150 psec から計算した電荷測定精度である。それぞれのレンジにおける測定精度は、Small レンジにおいては 0.11 ~ 0.16 pC、Medium レンジにおいては 0.82 ~ 1.2 pC、Large レンジにおいては 5.5 ~ 6.0 pC となった。これらの数字は QTC から出力される信号幅における約 500 psec のジッターに相当する。

この結果から、Large レンジと Medium レンジでは殆どの領域で 2% 以内の相対精度を持ち、要請に近い性能を持っているのだが、一方、1 p.e. (=2 pC) の測定では相対精度が約 5% にまで悪化してしまうなど、まだ要求される性能に達しているとは言えず、電荷測定精度に関する改善は必要である。そのために何が必要かを考察してみることにする。

改善のための考察 まず、現在の精度を決めている要因は何であろうか。図 5.26 から分かるように、TDC の分解能により決められる限界よりは 3 倍ほど大きいことが分かる。したがって、現在の精度を決定しているのは QTC の出す信号幅自身である。それはオシロスコープで QTC の出力信号を直接測定してみることで分かり、現在の電荷測定精度に対応する約 500 psec のジッターを見ることができる。それでは次に何がこのジッターを作っているかということであるが、まず、信号源由来の電荷のばらつきに関しては、1 GHz の帯域を持ったデジタルオシロスコープで信号源の電荷 (面積) のばらつきを測定したところ、そのばらつきは十分小さいことが分かった。た

だし、1 p.e. 相当の電荷の入力 (約 -3 mV 振幅) に対しては、オシロスコープのノイズレベルが十分小さいとは言えず、正確な測定はできない。しかし、そのときの QTC の出力信号幅のばらつきはペDESTAL測定時 (電荷を入力していないとき) とほぼ等しいので、このときも信号源由来の電荷のばらつきによる寄与は十分小さいと考えられる。

したがって、電荷測定精度を決めているのは QTC 自身であると考えられる。次に、QTC 内部のどの部分が最も重要であるかについて推測してみる。このジッターを作っている要素としては、主に次の二点が考えられる。

- エッジを作るコンパレータのスルーレートの遅さ
- 放電する際の定電流源の電流の不安定性

この二つの要素のうち、もし、最初に挙げたコンパレータのスルーレートが主な要因であるとすれば、ジッターは殆ど電荷依存性を持たないと考えられる。逆に、もし、定電流源の電流の不安定性が主な要因であれば、そのジッターの大きさは QTC の出力信号幅に比例することになると考えられる。そこで、図 5.27 に QTC 信号幅とそのジッターとの関係を示した。

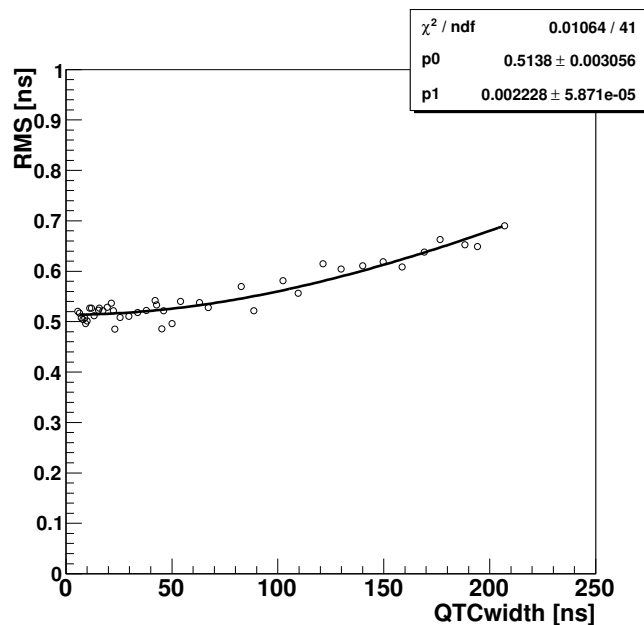


図 5.27 QTC 信号幅とそのジッターとの関係。ここでは、全てのレンジのデータをまとめて示している。また、実線は本文中にあるような関数でフィットさせた結果である。

もし、このジッターの大きさが電荷とは独立した成分と電荷に比例した成分からなり、それぞれが独立であるとすれば、二つのパラメータ p_0 と p_1 を用いて、次のような関数で書くことができると考えられる。

$$\text{jitter} = \sqrt{p_0^2 + \{p_1 \times (\text{QTC 信号幅})\}^2} \quad (5.3)$$

図 5.27 中の実線はこの関数でフィットしたものである。フィットした結果からは、ジッターが

上記のような二つの成分からなっていると考えて良いことが分かる。さらに、電荷に比例した成分は最も大きくなっても、電荷と独立な成分の大きさと等しくなる程度で、殆どの測定電荷で電荷とは独立な成分の方が主であることが分かる。

以上の結果から、現在 QTC の電荷測定精度は主に QTC 内部のエッジを作るコンパレータのスルーレートの遅さから決定されていると推測することができる。したがって、QTC の次期版の再設計にあたってはコンパレータの高速化し、ジッターを TDC の時間測定精度より小さい 100 psec 以下にすることを目指している。

5.4.5 時間測定精度

次に時間測定精度に関する測定の結果を述べる。前にも述べたように、とくに低エネルギー事象の反応点の再構成に関しては、殆ど各ヒットの時間情報に依っている（特に 1 p.e. レベルの信号での）時間測定精度は非常に重要となる。

要請 TDC の時間測定精度は 60 MHz のクロックで動作させたとき、理論値で 0.15 nsec であるから、QTC 自身の精度がそれを上回ることが理想である。だが、実際の要求としては、光電子増倍管の時間精度、すなわち、TTS より十分小さければよい。光電子増倍管の時間精度については図 2.6 に既に示したが、この図より 1 p.e. レベルでの時間精度は約 3 nsec で、さらに電荷が大きくなるほど時間精度は良くなり、数 100 p.e. のレベルでは約 0.6 nsec まで時間精度が良くなる。まずは、QTC 自身の時間精度がこの基準を満たせばよいことになる。

測定方法に関して 時間測定精度の測定におけるセットアップは図 5.21 と同じである。ただし、次に示す結果からも分かるように QTC の時間精度が TDC の精度より十分小さな領域では、時間精度は殆ど TDC の量子化誤差によって決められる。その場合の TDC カウントのばらつきは、クロックに同期した入力信号とクロック入力との位相差がどれだけあるかによって決定されることになる。

実際の観測時には事象はいつ起こるか分からないから、当然信号の入力とクロックとは非同期で入力されることになる。よって、実際の測定に近い時間測定精度を測るために、クロックに同期した入力のタイミングを約 10psec 刻みずつずらすことで、入力信号とクロックとの位相差を少しずつずらし、その都度 TDC カウントのばらつき（標準偏差）の測定を行った。それをほぼ TDC の内部カウンタの一周期 520 psec で行って、その平均をとり、それを時間測定精度とした。また、このときの測定ではディスクリミネータとしては通常のディスクリミネータを用い、その閾値は -2 mV と設定して測定を行った。

結果 結果を図 5.28 に示す。図中の青色の線が TDC で読み出したときの時間測定精度であり、赤色の線は QTC 出力の立ち上がりエッジのジッターを（クロックを基準として）、デジタルオシロスコープで測定したものである。まず、1 p.e. レベルの信号（ ~ 2 pC）での時間精度は 0.3 nsec であり、さらに電荷が大きくなるほど時間精度は向上し、約 10 pC より大きな電荷の入力では、約 0.2 nsec となることが分かった。この値は前に述べた光電子増倍管の時間精度と比較して、十分小

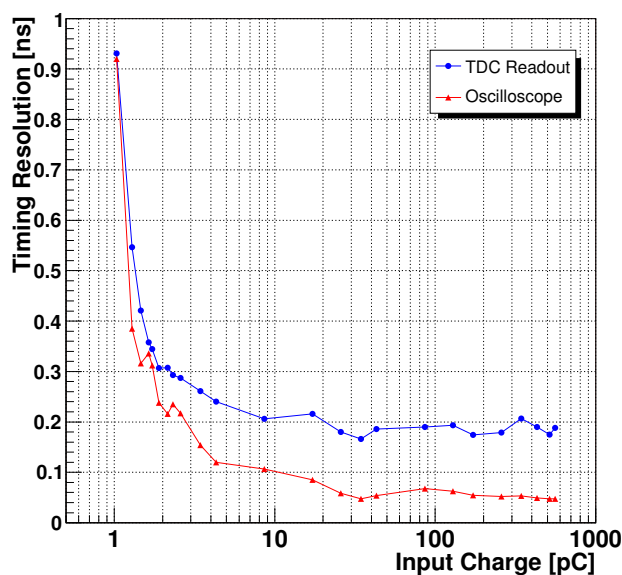


図 5.28 入力電荷と時間測定精度の関係。青色の線は TDC で読み出したときの時間分解能、赤色の線はオシロスコープで測定した時間測定精度である。

さいと言える。したがって、時間精度に関しては QTC 及び 60 MHz クロックを用いた TDC による読み出しは我々の要請を満たしている。

ただし、1 p.e. レベル以下の信号では時間精度が急激に悪化する傾向がある。今回は、後述するようにディスクリミネータ閾値を下げると不安定になる問題があるため、ディスクリミネータの閾値は -2 mV としているが、これは実際に設定するべき値より 2 倍以上大きい。これを -0.5 mV 程度まで下げられれば、この悪化傾向は十分小さな電荷でしか見られなくなるということも期待されるが、それについては、QTC の次期版で測定することになる。

また、オシロスコープによる測定と TDC による測定では、入力電荷が約 10 pC を越えるとはっきりと違いが表れる。TDC による読み出しでは、入力電荷をそれ以上大きくしても、時間精度は殆ど変わらない。TDC の理想的な精度が 150 psec であるから、この領域での時間精度はほぼ TDC の分解能を見ていると言うことができる。また、オシロスコープによる測定^{*19}においては、大電荷の入力時にその精度は約 50 psec 程度に落ち着く。これより、大電荷入力時では QTC 自身の分解能は TDC のそれよりも十分小さいと言うことができる。

*19 使用しているデジタルオシロスコープのサンプリングレートは 2 GS/s であるが、繰り返し信号の測定の場合には測定のためにサンプルを取得する時間を少しずつずらして、波形全体の情報を取得する。結果的にオシロスコープ内部のトリガとクロックの時間測定分解能 10 psec 程度の時間精度での測定が実現できる。

5.4.6 Time Walk : CFD の評価

時間測定精度について述べた後に、QTC に内蔵されたディスクリミネータのタイムウォークの効果の評価について述べる。タイムウォークの効果が無視できるようにと設計された CFD が意図した通りに動作するのかについても評価する。

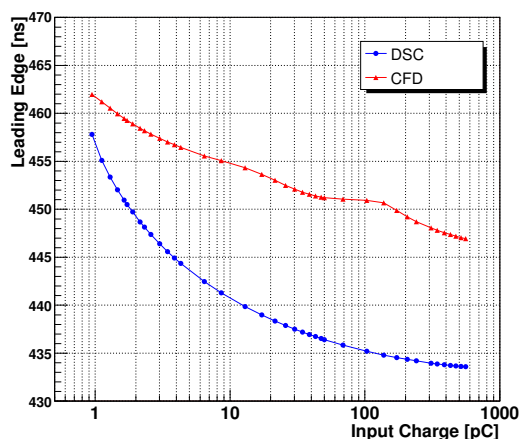


図 5.29 入力電荷と QTC 出力立ち上がり時間の関係。青色の線が一般的なディスクリミネータを用いた結果であり、赤色の線は CFD を用いた結果である。

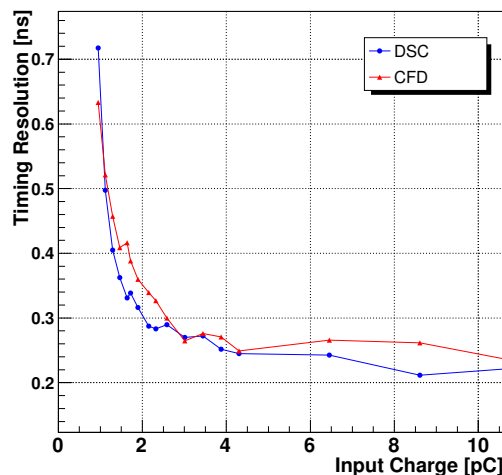


図 5.30 一般的なディスクリミネータと CFD との時間測定精度の比較。ここでは入力信号が 10pC 以下のときのみを示している。それ以上の電荷では違いは見られなくなる。

図 5.29 に一般的なディスクリミネータ DSC と CFD の入力電荷と出力信号の立ち上がり時間の測定結果を示す。図 5.29 における縦軸の“Leading Edge”の値が小さいほど、ディスクリミネータからの出力信号の立ち上がり時間が早くなっていることを示している。

図 5.29 の結果から次のようなことが分かる。

- CFD のタイムウォークは確かに DSC によるタイムウォークより小さい。
- DSC の結果は滑らかな曲線を描く。
(一般に知られているように、 $1/\sqrt{(\text{Charge})}$ で良く再現できる)
- ただし、CFD でもタイムウォークの効果は無視できるほど小さくはない。
(1 pC と 600 pC で約 15 nsec の差がある。)

CFD におけるタイムウォークの効果は、実際に設計された回路を用いた SPICE シミュレーションでは、2 pC 入力と 51 pC とのタイムウォークの差は 1.2 nsec であった。それと比較すると今回の結果は、かなり大きくなってしまっており、決して無視できる大きさではない。シミュレーションとの違いについては、今回の測定 (CTG を用いた測定) が、完全に光電子増倍管の波形

を再現できていないからだと考えることもできる。しかし、ある程度の波形の違いも無視できるくらいでないと、CFD を使う意味はない。

また、CFD を用いて時間精度を測定した結果を図 5.30 に示す。この図は微小な電荷の入力時のときのみの時間精度の測定結果である。CFD と DSC で殆ど時間精度の違いは無いことが分かる。少なくとも、CFD を用いることで、時間精度は良くなる傾向には無いと言うことはできる。

さらに、図 5.29 のタイムウォークの曲線を見ると、CFD の方は DSC の曲線より、いくらか複雑な構造をしており、DSC の方がはるかに理解しやすい曲線であることが分かる。

以上の結果から、現在の CFD の性能では、CFD を使うメリットは殆ど無いと考えることができる。したがって、現在のところ我々はディスクリミネータとして CFD は使わない方針である。

5.4.7 インピーダンス整合

次に、アナログ入力部の大きな改善課題の一つであったインピーダンス整合に対する評価について述べる。ただし、今回の測定は、QTC チップを評価基板上に直付けしたのではなく、ソケットを介して付けられたものでの測定である。したがって、インピーダンス整合やアイソレーションという点では、本来の性能よりは若干悪くなっていると考えられる。

入力インピーダンスの測定 最初に入力インピーダンスの測定について述べる。入力インピーダンスの測定には、ネットワークアナライザを用いた。ネットワークアナライザとは、出力周波数の可変な信号源と信号を受信するレシーバにより構成されているものである。インピーダンスや伝送損失の測定をしたいデバイスや伝送線などに既知の信号を入力し、反射された後、もしくは、伝送後の波形をレシーバで受信し、それらの位相のずれや振幅の減少から、測定対象のインピーダンスや伝送損失を測定するものである。今回、測定に用いたネットワークアナライザは 30 kHz から 6 GHz までの正弦波を出力することができるので、光電子増倍管の波形のもつ周波数領域は十分カバーできている。

ネットワークアナライザを用いたインピーダンスの測定結果を図 5.32 に示す。この図はスミスチャートと呼ばれる図で、円の中心が 50Ω を示し、垂直軸は虚数成分を表している。図 5.32 中の赤色の線が測定結果であり、30 kHz から 200 MHz までの周波数で掃引した結果である。QTC への入力インピーダンスは高い周波数ほど、容量成分 (負の虚数成分) を持つてしまうことが分かる。それを補償するために、評価基板上に直列にインダクタンスを挿入し、虚数成分をできるだけ 0 に近づけた。そのときのインピーダンス測定の結果は青色の線で示されている。

反射波形のシミュレーション 実際の反射係数は、入射波形や同軸ケーブルのインピーダンスなどにもよるため、現時点では反射係数の計算はシミュレーションを用いて行うことにした。シミュレーションに用いたソフトは Agilent 社の ADS2002 というシミュレータを用いた。ただし、シミュレーションに用いた入力波形、各部のインピーダンスなどは実測のものである。

シミュレーションによる結果を図 5.33、図 5.34、図 5.35 に示した。シミュレーションは、インダクタンスによる補償を行う前のインピーダンスと補償を行った後のインピーダンスの両方について行われた。まず、図 5.34 は補償を行う前の反射波形の拡大図である。このときの反射波形の振

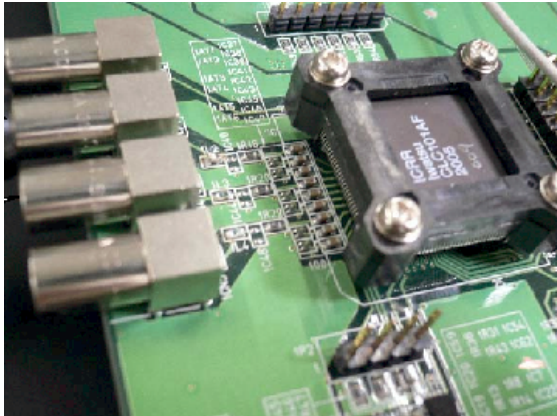


図 5.31 今回の測定では写真のように、ソケットを用いて評価基板とチップが付けられたものを用いている。

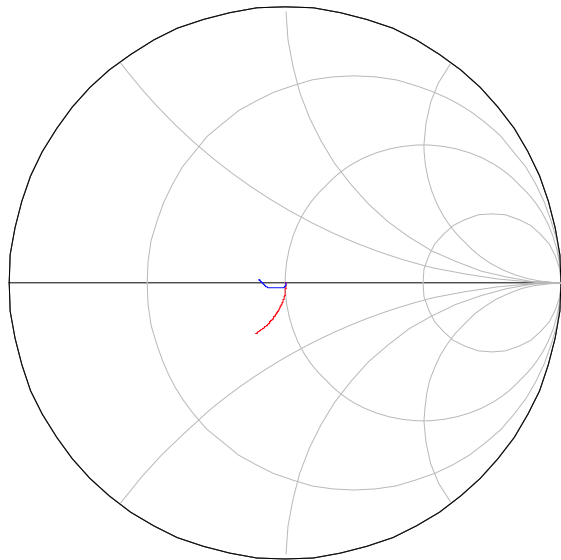


図 5.32 スミスチャート。円の中心が 50Ω を表す。水平軸がインピーダンスの実数成分、垂直軸は虚数成分を表す。

幅は約 6 mV である。したがって、反射係数にしておよそ 0.6 % である。一方、インダクタンスによる補償を行った後の反射波形を図 5.35 に示す。このときの反射波形の振幅は約 1.5 mV であり、反射係数にして、およそ 0.15 % である。

反射係数に対する要請は 0.1 % 以下であったから、インダクタンスによる補償が無いときにはこの要請を満たすことができない。しかし、補償を行うことで、ほぼ我々の要請を満たすことができるようになることが分かった。ただし、厳密には 0.1 % 以下という要請を厳密に満たすためには、ソケットを用いること無く、直に基板上にチップを付けることが必要である。

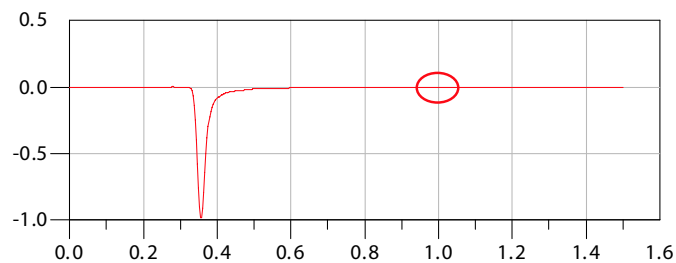


図 5.33 シミュレーションの入力波形。振幅 1 V の信号を入力させている。赤い丸を付けた部分の拡大図を図 5.34 と図 5.35 に示した。横軸の単位は $[\mu\text{sec}]$ 、縦軸の単位は $[\text{V}]$ である。

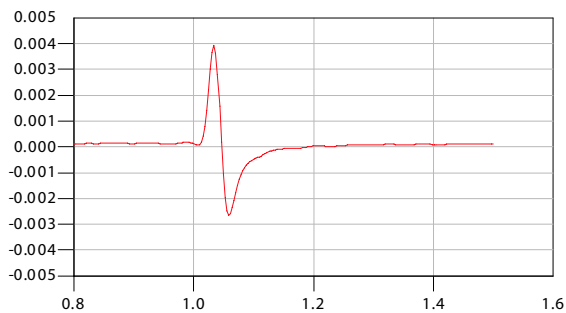


図 5.34 インダクタンスによる補償
を行う前の反射波形

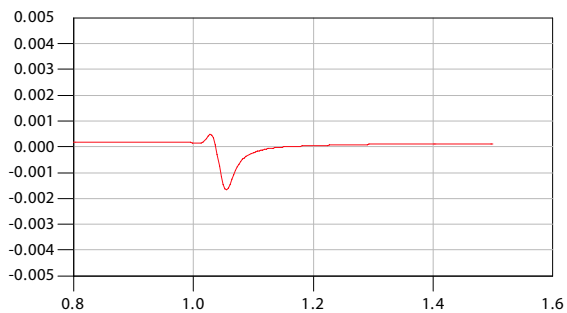


図 5.35 インダクタンスによる補償
を行った後の反射波形

5.4.8 クロストーク

次に、QTC のクロストークについて述べる。クロストークに関しては、それがチップの内部で起こっているのか、それとも、外部で起こっているのかをはっきりと分けておく必要がある。

チップ外部でのクロストーク まずは、チップ外部の入力部分のクロストークであるが、大きな信号をあるチャンネルに入力し、その信号の飛びこみが隣のチャンネルにどの程度の大きさで観測されるかを確かめた。図 5.36 がその結果である。1 チャンネルに -3 V の信号を入力し、2 チャンネルで観測された飛びこみ波形の振幅は 0.3 mV 以下であった。したがって、チップ外部での飛びこみは 0.01% 以下で、殆ど無視して良いと考えられる。

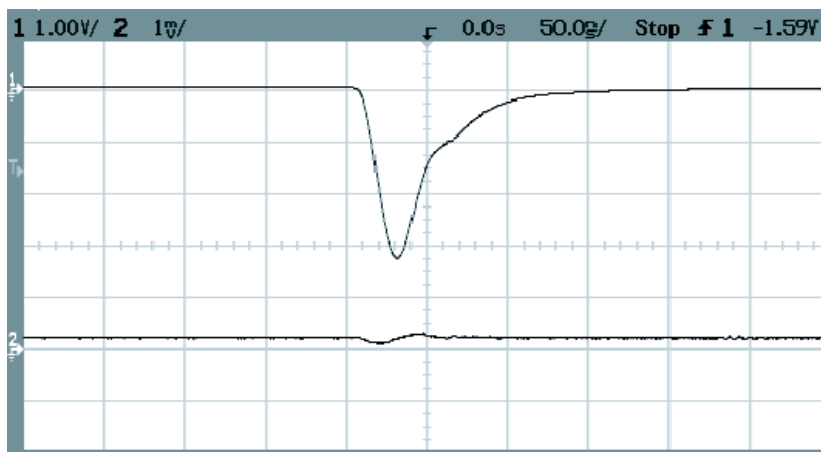


図 5.36 大きな信号を入力 (上側の波形) したときの隣のチャンネルへの信号の飛びこみ (下側の波形)。表示は上側の信号については 1 V/div 、下側の信号については 1 mV/div での表示である。

チップ内部でのクロストーク チップ外部でのクロストークは無視して良いことが分かったところで、チップ内部でクロストークが起きていないかを確認する。ここでは -1 V の信号を 1 つの

チャンネルに入力して、他の信号で HIT 信号が発生していないか、また、HIT 信号が発生しているのなら、発生頻度がディスクリミネータの閾値に依存しているのかということを確認した。

結果としては、ディスクリミネータの閾値を -2 mV 以下に設定すると、他のチャンネルにも HIT が生じてしまう現象が観測された。ここで、言及しておくべきことは二点ある。

- クロストークにより HIT が生じるときの閾値は物理的な近さによらない
(Ch1 に信号を入力したときに、クロストークにより Ch 2、Ch3 で HIT が生じるときのディスクリミネータの閾値はどちらも約 -2 mV 。)
- HIT 信号の生じている時間を比べてみると、クロストークにより生じている HIT 信号は信号入力のあるチャンネルの HIT 信号より約 30 nsec 遅れている。

以上のことから、チップ内部でのクロストークとはあるチャンネルでの HIT 信号の発生が、他のチャンネルに影響を与え、HIT 信号を発生させていることにより起きていると考えられる。とくに、HIT 信号はシングルエンド*²⁰出力であるため、信号が出力されるときに瞬間的に大きな電流が流れ、それが他のチャンネルに影響を及ぼすことが考えられる。

ディスクリミネータの閾値を -2 mV 以下にできないというのは、閾値を -0.5 mV にするという要請からは非常に遠いものである。したがって、次期版では確実に改善することが必要である。観測されている現象から、以下のような改善が考えられる。

- HIT 信号の出力をシングルエンドから差動信号 (LVDS) へと変更する
- チャンネル間での影響が出ないように、電圧を供給する線をチャンネル毎に分ける
- グラウンド線の強化

次期版ではこれらの改善が施されることで、クロストークの無いチップになると期待される。

*²⁰ 1 本の信号線でデータを転送する方式。

5.4.9 ノイズレベル

ここでは、評価基板におけるノイズレベルの簡単な見積りの結果について述べる。ノイズレベルの見積りはディスクリミネータの閾値を下げたときに、エレクトロニクス起因の偽のヒットがどれだけ起きているかということを確認することで行われた。

5.6 の問題点の中で述べられるように、現在の QTC はディスクリミネータ閾値近く of 信号を入力すると動作が止まってしまうという現象が見られている。したがって、常に約 -70 mV 程度の振幅の信号を入力しながら、QTC が動作していることを確認して、その中にノイズによるヒットが無いかを確認することにした。

表 5.5 ノイズによるヒットの数とディスクリミネータ閾値との関係

閾値 [mV]	測定時間 [sec]	独立に発生した偽のヒット	連続して発生した偽のヒット
-0.8	2308	52	111
-1.0	2362	4	12
-1.7	2426	4	2
-2.0	2380	4	17

測定をしてみると、偽のヒットにも二種類あることが分かった。一つは、独立して発生する偽のヒット、もう一つは何らかのヒットが発生した後に、そのヒットの影響を受けて、続いて起きてしまう偽のヒットである。表 5.5 は約 40 分間の測定の間起きた偽のヒットの数をそれぞれ分けて書いた。

結果としては、40 分間の間に独立して起きた偽のヒットは、最も多いとき (ディスクリミネータ閾値が -0.8 mV のとき) でも 52 回、すなわち、 0.02 Hz であった。この頻度自体は光電子増倍管の暗電流によるヒットと比べれば、小さいものであると考えられる。

ただし、むしろ問題となるのはそれらのヒットの影響を受けて、連続して起こってしまうヒットであると考えられる。連続して起こるヒットは独立して発生するヒットに続いて、およそ 2、3 回ヒットが起きている。実際の実験中には暗電流によるヒットが常に生じているのだが、もし、それらに連続して偽のヒットが起こってしまうようなことがあれば、実際の暗電流の頻度より、2、3 倍多いヒットが入力されてしまうことになる。この状況は、閾値を -0.8 mV よりも小さく設定すると、さらに悪化し、図 5.37 のように信号を入力した後に、それに続いて、延々と偽のヒットが続いて出てしまう現象が見られた。

この問題はノイズの問題というよりは、ディスクリミネータの問題であると考えられる。図 5.38 はテスト端子から観測したディスクリミネータへの入力波形の例である。QTC のディスクリミネータに用いられているコンパレータの周辺回路は少し複雑な構造をしており、コンパレータへの入力波形が二つのピークを持つと言う波形をしている。この二つめのピークが基準電圧まで落ちる時間が非常に長く、 500 nsec という測定ゲートの中に収まっていないことが分かった。したがっ

て、ディスクリミネータの閾値を非常に低く設定してしまうと、この最初のヒットから 500 nsec 経過した後に、再び、ディスクリミネータの閾値を越えてヒットが発生してしまうということが考えられる。

次期版では、この点についても改良がなされ、500 nsec 以内には、元の基準電圧へと戻るようにディスクリミネータ部の再設計がなされた。

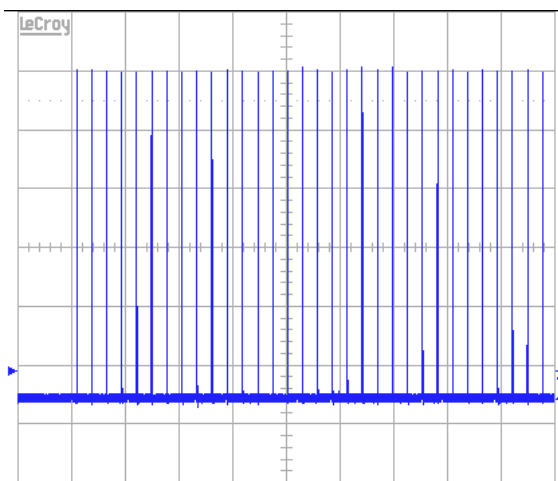


図 5.37 正しい信号の直後に偽のヒットが出ている様子。ディスクリミネータの閾値が低いとこのような状態になって、しばらく立つと動作を止めてしまう。横軸は $2 \mu\text{sec}/\text{div}$ である。

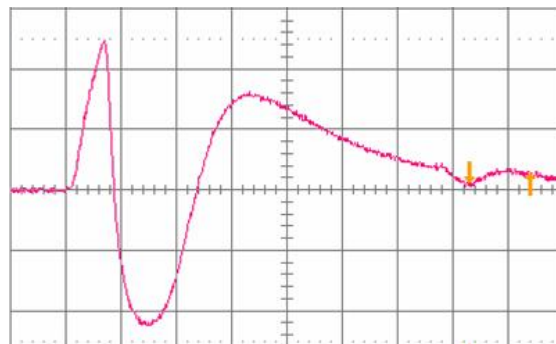


図 5.38 ディスクリミネータ部のコンパレータへの入力波形。縦軸は $200 \text{ mV}/\text{div}$ 、横軸は $100 \text{ nsec}/\text{div}$ 。信号が入力されてから、500 nsec 経過後もディスクリミネータへの入力は基準電圧まで落ちていないことが分かる。

5.4.10 消費電力

QTC の消費電力について実測した値を表 5.6 に示す。

QTC 自体の消費電力は 1 チップにつき、663 mW である。QTC は 3 チャンネルの入力を持つから、1 チャンネル当たりの消費電力は約 220 mW/ch である。一方、評価基板全体での消費電力は 4.4 W であった。その内訳は、表 5.6 のようになる。したがって、1 チャンネル当たり直せば、1.5 W/ch となる。

表 5.6 QTC と評価基板の消費電力

	電圧	消費電流	消費電力
QTC	+3.3 V	201 mA	663 mW
評価基板全体	+3.3 V	680 mA	2.2 W
	+5 V	120 mA	0.6 W
	-5 V	320 mA	1.6 W
	Total		4.4 W

ATM ボードでは 1 W/ch を下回ることが目標である。新しい ATM ボードでは 24 チャンネル入力になる予定であるから、評価基板の 8 倍のチャンネル入力を持つのに対して、TDC と FPGA はそれぞれ評価基板の 4 倍、6 倍となり、さらに、キャリブレーションパルサーは 1 つしか持たないはずであるから、チャンネルの数に対する各デバイスの数は減り、チャンネル数に対する消費電力も減少することが期待される。一方では、これまで評価基板上では、FPGA を 40 MHz で動作させていたのを、ATM ボードでは全て 60 MHz で動作させる予定である。このことは、FPGA の消費電力を増加させることになる。以上のように、チャンネル当たりの消費電力を増加させる要因と減少させる要因の両方が存在するので、具体的な見積もりは詳細な設計を待つこととなるが、1 W/ch に近い消費電力は実現できるものと考えている。

5.5 安定性、線型性、個体差に関する性能評価

ここからは、QTC の出力の安定性、QTC の応答の線型性、個体差、さらに CAL 入力について述べる。これらはいかにキャリブレーション作業を簡素化して、さらに、いかに安定したデータを取得するかという議論のためには欠かせないものである。

5.5.1 温度依存性

電源投入直後の温度 まず、電源投入後にチップ温度が安定するまでにどの程度の時間がかかるのかを測定した結果を示す。図 5.39 は電源投入直後の QTC チップ (のパッケージ) と評価基板の温度変化である。電源投入後約 30 分間は急激な温度変化があることが分かる。また、電源投入直後からのペDESTAL の時間幅の変化を図 5.40 にも示した。図 5.39 の温度変化とともに、ペDESTAL の幅も約 30 分間急激に変化していることが分かる。この 30 分間の間に 4 nsec もペDESTAL の幅に変化があり、これは、Small レンジで言えば、約 1 pC の電荷の変化にも対応する。したがって、電源投入直後、約 30 分間は正確な測定を行うことは難しい。

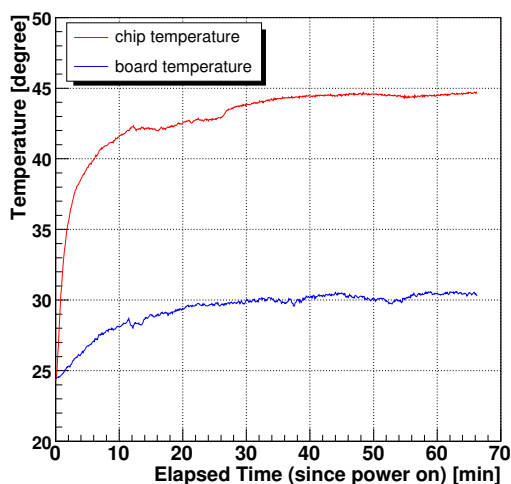


図 5.39 電源投入直後の QTC チップと評価基板の温度変化。室温は 24 度。

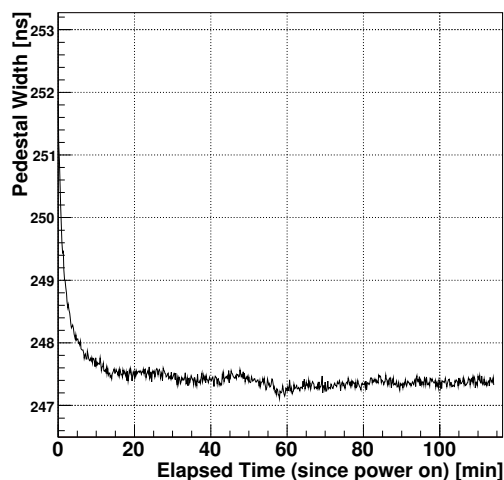


図 5.40 電源投入直後のペDESTAL の幅の変化。10 秒、100 データの平均をプロットしている。

電荷測定の温度依存性 次に、電荷測定に関する温度依存性、すなわち、QTC 出力信号幅の温度依存性についての測定をおこなった。ここで問題となるのは、温度依存性は無視できるほどの大きさかということと、無視できないとしたら、それはどのように補正されるのかということである。

このときの温度測定は評価基板を置く場所の室温を測定したものであり、26 から 44 へと変化させたときの QTC 出力信号幅の変化を見た。

図 5.41 はその結果である。入力電荷を何通りか変えてみて、電荷の大きさによる依存性も確か

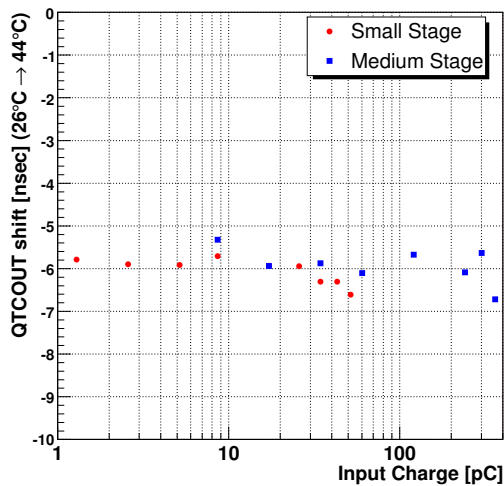


図 5.41 QTC 出力信号幅の温度変化 (ただし、ペDESTALの幅を引く前)

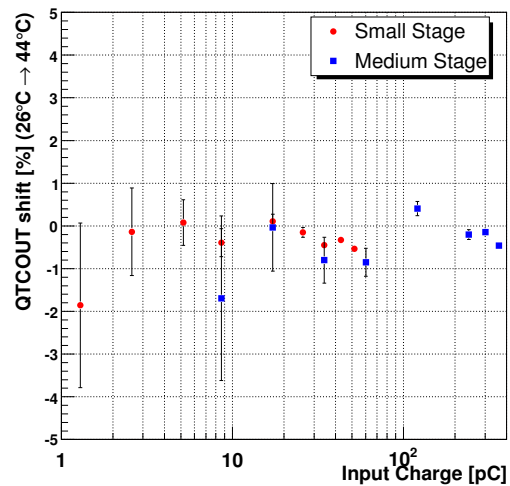


図 5.42 温度変化による測定電荷の相対的变化 (ペDESTAL幅の温度変化を差し引いた後)

めた。室温を 18℃ 上昇させたところ QTC からの出力信号の幅はどの電荷でもほぼ一定で約 -6 nsec 小さくなった。したがって、温度依存性は $-0.3 \text{ nsec}/^\circ\text{C}$ である。これは Small レンジでは $-0.06 \text{ pC}/^\circ\text{C}$ にも相当してしまい、この温度変化は到底無視できるものではない。

ただし、このときの出力信号の幅の変化はペDESTALの幅の変化を差し引く前のものである。ペDESTALも同様な温度変化をするならば、ペDESTALの温度変化を追うことで、QTC 出力信号幅の温度変化を補正することができる。図 5.42 はそれを示したもので、5.41 の温度変化から、ペDESTALの温度変化の分を差し引いた後の変化で、信号幅の相対変化を計算したものである。この結果からは、18℃ の温度変化があっても、相対的な変化はほぼ 1% 以内に収まっているとすることができる。したがって、ペDESTALの測定を行うことで温度変化の補正は行うことができると考えられる。(ここで、ついているエラーバーは一回の測定のうちにペDESTALの幅がずれてしまう分を表したものである。具体的には、5 分毎に行ったペDESTAL測定の前後でのペDESTALの幅の変化の分布の RMS $\sim 80 \text{ psec}$ である。)

時間測定の温度依存性 次に、時間測定の温度依存性、すなわち、出力信号の立ち上がり時間の温度依存性についての測定を行った。ただし、この測定での温度の測定方法は、電荷測定の温度依存性を測定するときとは異なり、チップのパッケージに温度計を貼りつけて測定した。

(室温の温度変化で測定したときに得られた温度係数とは 10% 程度の差であった。)

図 5.43 が立ち上がり時間の温度変化である。このときにも入力電荷を何通りか変えてみて、入力電荷依存性が無いかも確かめた。図 5.43 から、温度が 14℃ 上昇したとき、立ち上がり時間は約 1 nsec 遅くなる傾向があり、さらに、入力電荷が小さいほど、より遅くなるという傾向もあることが分かった。ただし、数 10 pC 以上の電荷の入力では、若干のばらつきはあるものの、ほぼ一定

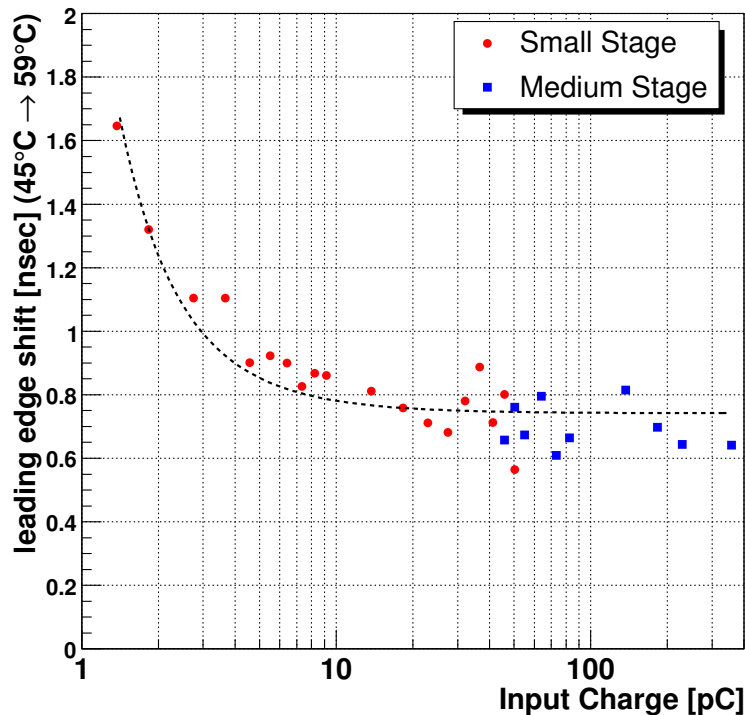


図 5.43 QTC 出力信号の立ち上がり時間の温度変化。点線は入力電荷による依存性がディスクリミネータ閾値のずれによるものとした仮定した場合のフィット結果。

の変化を示しており、これらの測定から得られる温度係数は 50 psec/°C である。

また、入力電荷の依存性の原因として、ディスクリミネータ閾値のずれが考えられたので、タイムウォークの測定結果から、どのくらいの閾値のずれがあれば図 5.43 のような依存性を示すのかを、閾値のずれをパラメータとしてフィットさせた結果が図中の点線である。その結果、ディスクリミネータの閾値が 0.1 ~ 0.2 mV 上昇していると、図中の点線のような電荷依存性を示すことが分かった。ただし、約 700 psec の電荷によらないオフセットの成分もあり、ディスクリミネータ閾値だけでは完全には説明しきれないということも分かっている。

補正をするということ考えたときに、ディスクリミネータがおそらく関わっていると思われるので、ペDESTAL測定、すなわち、強制トリガーをかける方法は補正のデータとはならないように思われる。この補正に関しては、現在のところ答えはまだ無いが、一つの方法としては、ペDESTAL測定に連続して、キャリブレーションパルサーで信号を入力して、そのずれを測ると言う方法もある。ただし、実際の測定時に生じる温度変化はせいぜい 2 ~ 3 °C 程度であると考えられるから、立上りエッジの時間のずれは 100 psec 程度であると考えられる。そうした場合、そのずれは時間分解能より小さくなってしまいうので、正確に測定するのは難しい。したがって、その都度測定するよりは、前もって温度特性を理解しておき、実際のデータ収集中に温度を同時に測定することによ

り、補正を加えるという方法の方法が精度の良い結果が得られるかも知れない。

温度依存性の改善 温度依存性の測定結果は以上ようになり、現在の ATM の温度依存性に比べれば改善はしている。しかし、決して温度依存性はまだまだ無視できる水準には無い。したがって、なんらかの改良は必要である。

温度依存性を良くする直接的な解ではないが、次のような改良は可能である。

- 現在、外部の抵抗により、チップ内部の電流を意図的に増やすということをしている。これはチップ内部の抵抗と温度係数の違う抵抗を用いることになってしまうため、温度補償が働かなくなってしまう、このため温度係数は本来のチップの性能より悪くなってしまうと思われる。次期版では、この外部抵抗を用いずとも正しく動作するようにする。
- いくら温度補償ができていなくても、ディスクリミネータが一瞬で判断できるならば、QTC 出力の立ち上がり時間の温度依存性は 0 になるはずである。つまり、信号が入力されてから QTC 出力信号が立ち上がるまでの遅延とその温度係数は強い相関関係にあるはずである。次期版では、ディスクリミネータ部のロジックを単純にすることで遅延を小さくし、それにより、温度係数も小さくなることが期待される。

このようにいくつかの改善は期待されるが、改善ができなかった場合には、補正の方法を考える必要がある。

5.5.2 電源電圧依存性

電源電圧依存性は以下ようになる。

表 5.7 電源電圧依存性

立ち上がり時間の変化	0.2 psec/mV
信号幅の変化	-8.5 psec/mV (= 0.002 pC/mV)

一方、評価ボードの電源電圧の安定性については、低雑音のレギュレータを用いることにより、その変動を 1.7 mV (p-p) (測定系のノイズも含む) 以下に抑えることができています。したがって、電源電圧に対する依存性に関しては十分小さいと考えて良いだろう。

5.5.3 電荷線型性：単純な関数で記述できるか

まずは、線型性であるが、図 5.44 に入力電荷と QTC 出力信号幅との関係を示した。この図を見る限りでは、大体の線型性しか分からない。そこで、これを一次関数でフィットさせ、フィットさせた関数が相対的に何 % ずれているかを示したのが、図 5.45 の黒色の点のデータである。入力電荷が大きくなるほど、直線の傾きが段々ゆるくなるという傾向にあることで、直線とはずれてしまう傾向にあることが分かる。このときのフィットとの相対的なずれは $\pm 4\%$ 以内 (ただし、1

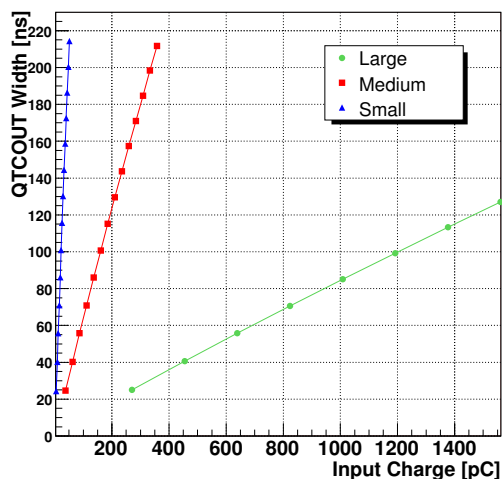


図 5.44 入力電荷と QTC 出力信号幅の関係

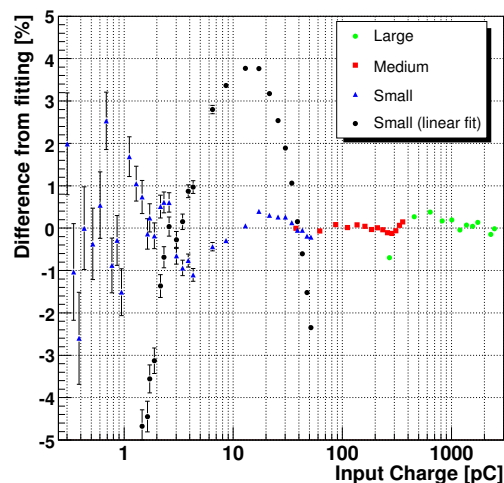


図 5.45 各フィットとの相対的な差。黒色の点のデータは一次関数によるフィットが用いられ、その他の点は二次関数によるフィットが用いられている。

p.e. = 2 pC 以上の電荷に対して) に収まっている。しかし、これでは 1 % の相対精度で正しい測定結果を得ることはできない。したがって、一次関数では、入力電荷と出力信号幅の関係を近似することはできない。

そこで、次に二次関数でフィットしたときのずれを示したのが、5.45 中の黒色以外の点である。この図から分かるように、非常に小さい電荷の入力ではその分解能の限界により、ずれてしまう点もあるが、1 p.e. 以上の電荷の入力に対しては、フィットとの相対的なずれは、ほぼ全て 1 % 以内に収まっており、二次関数を用いれば、電荷と信号幅の関係をほぼ近似できる、とすることができる。

5.5.4 チャンネル間個体差

ここでは、複数の QTC のチャンネルについて、それらのチャンネルの DAC 設定を全て共通にした場合に、どれだけ、ゲインにばらつきがあるかを調べた結果について述べる。もし、このばらつきが十分小さければ、極端には一つのチャンネルでのキャリブレーションの結果を、他の全てのチャンネルに適用することができ、キャリブレーション作業は大幅に簡略化することができる。

この測定は Small レンジの 8 チャンネルと Medium レンジの 7 チャンネルについて行った。

前節で、入力電荷と QTC 信号幅の関係が二次関数で近似できることを述べたので、ここでは、ある一つのチャンネルでフィットした二次関数と、他のチャンネルの測定結果の相対的な差で各チャンネルのゲインのばらつきを調べた。結果を図 5.46 に示す。ここでは、図中のエラーバーを付けたチャンネルにフィットさせた二次関数を用いた。図をみて分かるように、単に全てのチャン

ネルの DAC 設定を合わせただけでは、各チャンネルのゲインは数 % のばらつきを持ってしまうことが分かる。

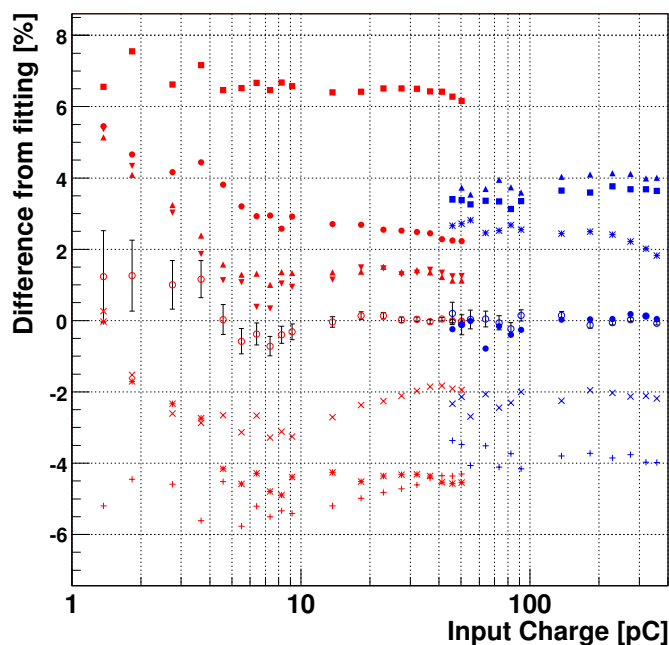


図 5.46 ある一つのチャンネルでフィットされた関数と他のチャンネルの測定結果との相対的な差。赤色の点は Small レンジ、青色の点は Medium レンジを表す。

したがって、このままでは、各チャンネル個別にキャリブレーションするということが必要になる。そこで、各レンジの最大の入力電荷のときの出力信号幅で規格化してやれば、同じ関数でフィットできるのではないかと考えて、規格化後のフィットとの相対的な差を示したのが、図 5.47 である。

図をみると明らかなように、Medium レンジの測定データに関しては、規格化することで、一つの関数を用いて、1 % の相対精度で他の全てのチャンネルを記述することができる。一方、Small レンジに関しては、微小な電荷の領域では、測定の相対精度が十分でないので、数 pC の電荷の領域まで一つの関数で 1 % の相対精度で一致するかという結論は出せない。ただし、現在の測定精度は、一回の測定の間にはペダスタルが約 80 psec (RMS) 程度ずれてしまう可能性があること、すなわち、温度の安定性があまり良くないことによって決められている。したがって、温度を安定させた、より詳細な測定を次期版でさらに進める予定である。

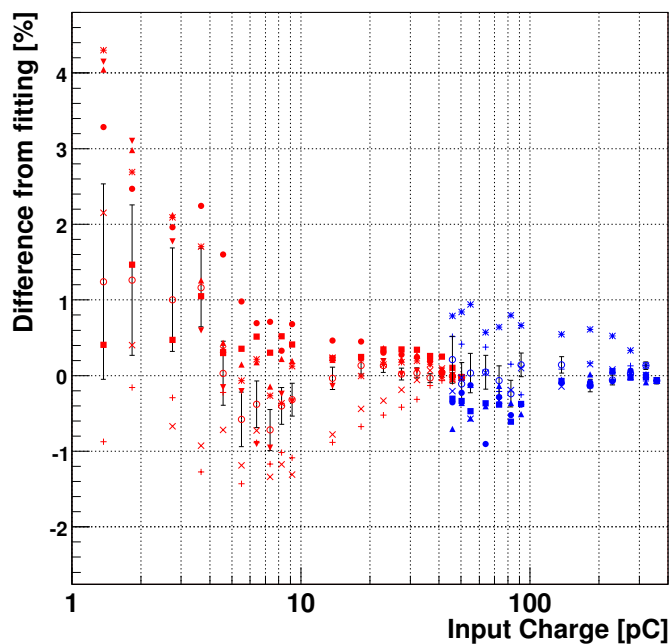


図 5.47 各レンジの最大の入力電荷で規格化し、あるチャンネルにフィットさせた二次関数との相対的な差。赤色の点は Small レンジ、青色の点は Medium レンジを表す。

5.5.5 キャリブレーション用入力 (CAL)

QTC チップは全てのチャンネルのキャリブレーションを同時に行えるように CAL という入力を用意されている。このチャンネルに信号を入力すると、すべてのチャンネルへと電荷を入力することができる。ただし、このチャンネルからの電荷を入力したときと、通常のチャンネル入力とで、応答が同じでなければならない。その評価について述べる。

まず、それぞれの入力経路から信号を入力したときのプリアンプからの出力信号を比べてみる。図 5.48 がその波形である。このときの入力波形は 50 nsec 幅の矩形波である。図を見ると分かるように、通常のチャンネル入力でも、周波数帯域が有限であるために矩形波はなまってしまっているが、CAL 入力からの入力の場合にはさらに波形はなまってしまっていることが分かる。さらに、出力される信号の幅も 20 % 短くなっていることが分かった。このように、CAL からの入力は通常のチャンネル入力とは同等とは考えることはできない。

これは、そもそも入力部の回路が同等とみなせるような構成となっていなかったため、これを同等とみなせるようにする変更を次期版では行う。具体的には、CAL 入力を可能にするためのスイッチは FET のスイッチが使われているのだが、この FET のスイッチを閉じた状態にしたときにも $\sim 100 \Omega$ 程度の抵抗があることなどを考慮するようにする。そうした変更によって、次期版では、10 MHz までの周波数帯域のゲインが、通常のチャンネル入力のゲインとシミュレーション

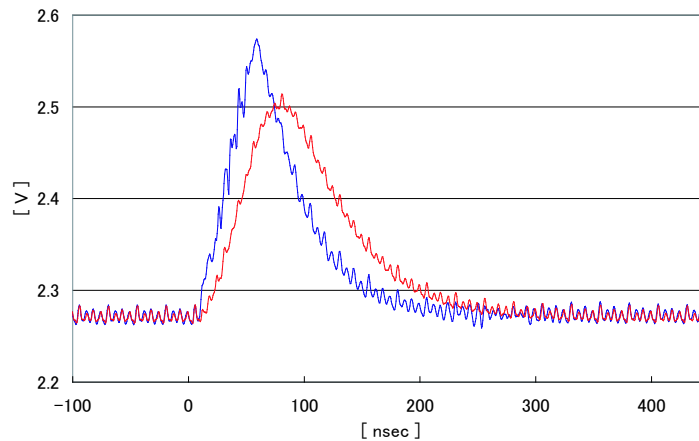


図 5.48 プリアンプの出力信号波形。赤色の線が CAL 入力から入力したとき、青色の線は通常のチャンネル入力を用いたときの波形である。(この波形には大きなノイズがのっているが、これは測定系に由来するものである。)

では 99.9 % で一致すると計算されている。

5.6 問題点と改善点：次期版への変更点

QTC のプロトタイプについて、既に述べられた問題点としては、以下のようなものがある。

- クロストーク
- 温度依存性
- ディスクリミネータ
- CAL 入力
- コンパレータのスルーレート

これらについては、改善策についてもある程度述べられた。ここからは、これまでに述べられなかった主な問題点とその改善方法について述べる。

5.6.1 入力頻度依存性

QTC の評価を進めているうちに、測定の最初のみ、明らかに出力信号幅が通常より大きいという現象があることが分かった。当初は、その後のデータに問題が無いことから、QTC の問題とは考えていなかったものの、さらに、信号の入力頻度により、出力信号幅が変化するという現象も見られるようになり、QTC の出力信号幅が前のヒットとの時間間隔に影響されているのではないかと考えられるようになった。

そこで、同じ電荷の入力 (20 pC、40 pC) を、その周期を少しずつ変えていながら、出力信号幅の変化を測定することにより、入力頻度による依存性を見ることにした。また、同時にペDESTA

ルの幅についても、強制トリガーを入力する頻度を調整することで、その測定を行った。測定した結果を図 5.49 に示す。

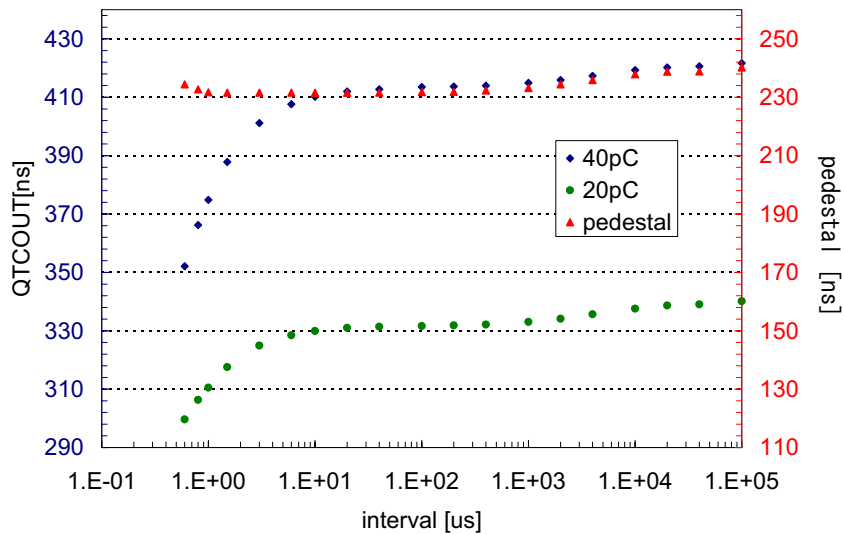


図 5.49 QTC 出力信号幅の入力頻度依存性。横軸は連続して入力した信号の周期 [μsec] である。ここでの出力信号幅とはペダスタルの幅を差し引く前のものである。

図 5.49 の測定結果からはいくつかの傾向が読み取れる。

- 入力頻度依存性にはおそらく二つの成分がある
- 一つはおよそ $10 \mu\text{sec}$ の時定数を持ち、かつ、入力する電荷が大きいほど、変化の量が大きくなる成分。
- もう一つはおよそ 10 msec の時定数を持ち、かつ、電荷の大きさに依存しない成分。しかも、このときは電荷の入力の無いはずのペダスタルの幅もその測定頻度により変化している。
- $\sim 1 \mu\text{sec}$ 間隔でペダスタルを測定するときには、測定間隔を短くするほど、ペダスタル幅が大きくなる傾向がある。

AC 結合 入力頻度の依存性のうち、変化量が電荷に比例して大きくなる成分については、その原因が入力部の AC 結合部分によるものであるとして、その時定数を確かめるために、もう少し詳しい測定を行った。

一つ前に述べた測定は、同じ電荷の信号の入力を、ある固定した時間間隔で続けていくという方法であったが、ここでの測定方法は、図 5.50 のように大きな信号の入力の後、数 μsec 間隔をおいた後に小さな信号を入力し、その小さな信号により出力される信号の幅を測定している。これにより、直前の信号の大きさとその間隔による影響を調べる。二つの信号の時間間隔を変えながらその

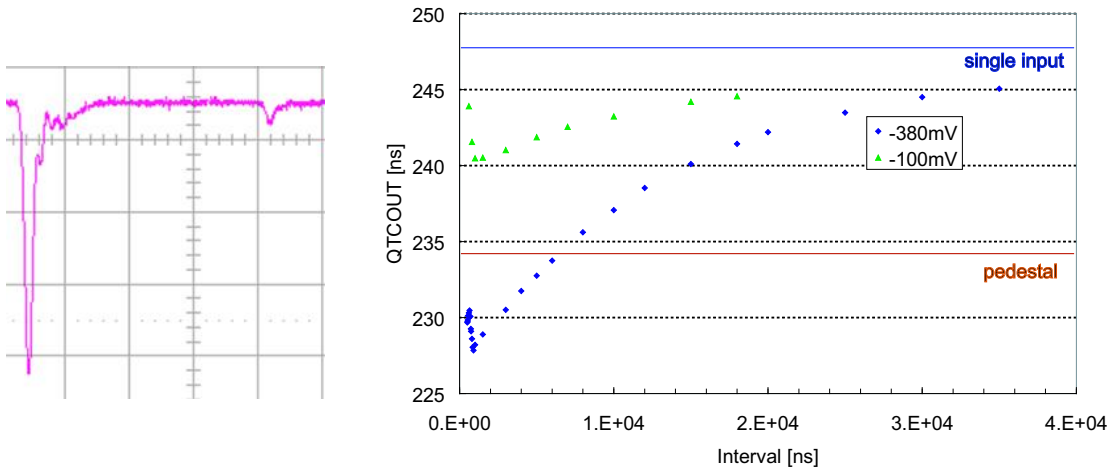


図 5.50 数 100 mV の大信号を入力した直後の -3 mV の信号による QTC 出力信号幅 (ペDESTALの幅は引かれていない)。青色の線は単独で信号を入力したときの出力信号幅。左図は二つの信号の時間間隔を示した図。横軸は 100 nsec/div、縦軸は 20 mV/div。実際に入力した信号の振幅は左図とは異なる。

幅の変化を見ることで、この現象の時定数を確かめた。

図 5.50 の右側の図がその結果である。図中の青色の線は前に信号を入力しないで、 -3 mV の信号を単独に測定したときの出力信号幅、赤色の線はペDESTALの幅を示している。AC 結合から予想されるように、前の信号との間隔が狭いと、信号幅が本来の幅より小さくなってしまい、さらに、前の信号が大きいくほど、その変化の大きさが大きいことも分かる。また、この時定数は $\sim 12 \mu\text{sec}$ であった。

この時定数に相当する AC 結合部分が QTC 内部に存在するか確かめたところ、確かに存在しているということが分かった。QTC の動作の説明のところ、プリアンプの信号を電圧電流変換してから積分していると述べたが、その電圧電流変換部分の入力のところで、オフセット電圧を DAC 設定によりコントロールして電流量の調整ができるようにしてある。そのオフセットを持たせるために AC 結合となって、ハイパスフィルターが形成されている箇所があり、その抵抗とコンデンサの値がそれぞれ、 $R = 500 \text{ k}\Omega$ と $C = 20 \text{ pF}$ で、その時定数はちょうど $RC = 10 \mu\text{sec}$ となる。

この問題に対しては、そのオフセットを持たせる部分をヒットが発生するまでは常にリセットをかけておくという方法で対応する。そうすることで、前に入った信号との時間間隔によって、オフセット電圧が変わってしまうという現象を防ぐことができる。

ところで、図 5.50 において、信号の間隔が $1 \mu\text{sec}$ 以下のときには、逆に間隔が短いほど、信号幅が大きくなる現象が見られるが、これは、ペDESTALの幅が大きくなるという現象と同じ現象であると思われる。それについては、次に述べる。

ベースラインシフト 入力頻度依存性の電荷に依存する成分は AC 結合部分で説明ができることは分かったが、一方、電荷に依存しない成分は何からきているのだろうか。

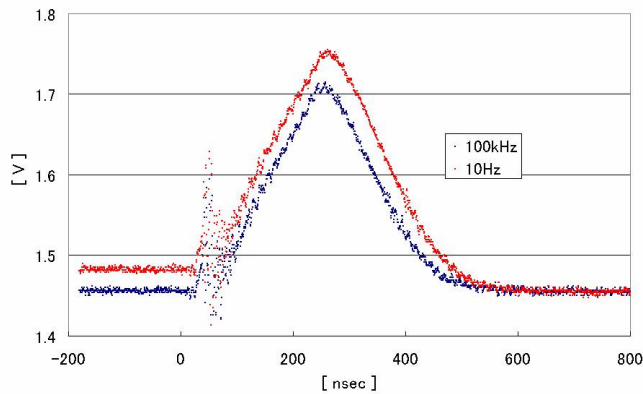


図 5.51 信号の積分波形。赤色の線は 10 Hz の信号入力、青色の線は 100 kHz の信号入力によるものである。

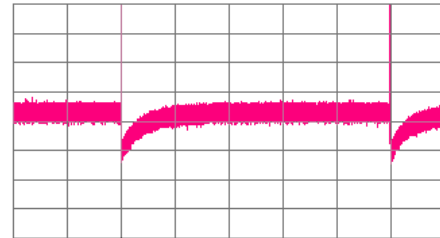


図 5.52 左図の信号をより長い時間スケールで観測した波形。縦軸は 20 mV/div、横軸は 20 msec/div である。

そこで、QTC の信号の積分波形を FET プロブで観測したところ、図 5.51 のような波形が観測された。この波形を見て分かるように、入力する信号の頻度により、積分する前の信号のベースラインの電圧がシフトしてしまっていることが分かる。右側の図 5.52 は左側と同じ部分の信号をより長い時間スケールで観測したものであるが、数 10 msec の時定数で、ヒットのあった直後から元のベースラインのレベルにゆっくりと戻っているということが分かる。したがって、数 10 μsec 間隔で信号を入力してしまうと、ベースラインが元に戻らないうちに、次の積分が始まってしまうことになり、本来の信号幅より短く観測されてしまう。

ところが、ベースラインの電圧を詳しく測定してみると、本当はヒットの直後のリセット時の電圧の方が正しい電圧であり、定常状態のベースラインの電圧の方が正しくない電圧であるということが明らかになった。したがって、この問題は、むしろ、どこからか漏れ電流などによりベースラインがベースラインが定常的にシフトしているということを意味している。

この問題に関しては、具体的な問題箇所の特定には至らなかったが、AC 結合への対処と同じく、ヒットが入るまでは常にリセットをかけた状態とすることで、それ以前のヒットの間隔には依存しないようにすることができる。

また、QTC の動作のところでも述べたように、信号の積分をしている部分の回路は積分ゲートや測定ゲートを作っている部分と同じパターンである。このことから予想されるように、積分ゲートなども信号の入力頻度に依存することが分かった。ペDESTALの幅が 1 μsec 間隔で信号を入力したときに変わるのはこのためであると考えられる。

5.6.2 リセット中に入力された信号でヒットが生じる問題

QTC は一度ヒットが発生すると、その処理が終了するまでの 500 nsec の間に入ったヒットは全て無視するという仕様になっている。ところが、実際測定してみると 470 nsec から 500 nsec までの間に入力された信号もヒットを出していることが分かった。

500 nsec 前後の時間間隔において二つの連続したパルスを入力したときに、実際の入力の時間間隔と QTC から出力される二つの立上りエッジ間の時間間隔を比較したものが、図 5.53 である。

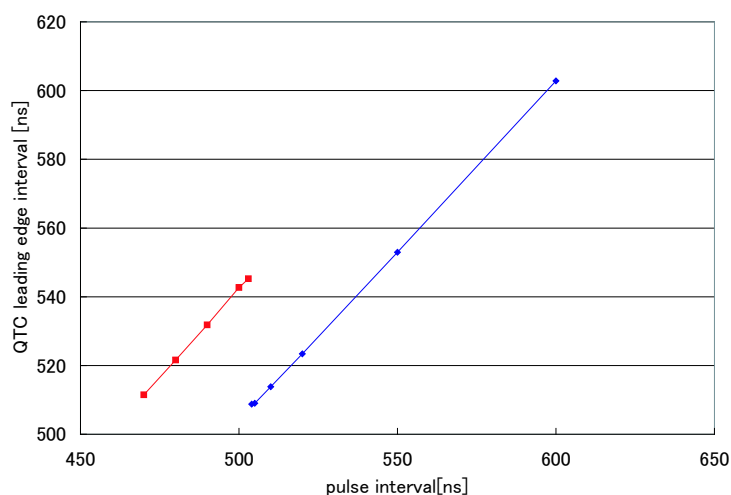


図 5.53 実際の入力間隔 (横軸) と QTC の立上りエッジの間隔 (縦軸) との関係。青色の線部分は入力信号の間隔と立上りエッジの時間間隔がほぼ一致している。赤色の線部分はリセット中に次の信号を入れたときの結果である。

図中の赤色の線部分から分かるように、最初のパルスの入力から 500 nsec 経たない間に次のパルスを入力したときにも、QTC の立上りエッジとしては 500 nsec 経った後に出力されていることが分かった。このことから、リセット中にヒットが生じているのではなく、リセット解除後に予測していなかった動作をすることにより、ヒットが生じているということが分かった。

この問題の原因についてはディスクリミネータ部のロジックの立上りエッジ検出回路にあることが分かった。この回路はリセット中に信号を入力した場合には、逆に立ち下がりエッジを検出する回路になってしまい、リセット解除直前に入力された信号は、リセット解除後に立ち下がりエッジが検出されてしまうことにより、ヒットを出力してしまう。このように、明らかにロジックに問題があることから、次期版ではこの部分の改善は当然行われる。

5.6.3 微小な信号で動作が止まる問題

現在、確認されている問題の中で最も深刻な問題はこの問題である。現象としては、微小な信号を入力すると動作が止まってしまい、その後リセットするまで、そのチャンネルは決して動作しなくなってしまうという現象である。

この問題に関してはシミュレーション上では確認されなかったため、問題の本当の原因に関しては、今以て明らかではない。ただし、現在のディスクリミネータ部のロジックには一つ前の問題にもあったように問題が多い。また、この現象は、ディスクリミネータ閾値と同程度の信号を入力するときによく起きることが分かった。そのことから、ディスクリミネータ閾値と同程度の信号を入力しすると、ノイズの影響により非常に短い時間の間にディスクリミネータ閾値を何度も信号が横切ってしまう、ディスクリミネータのロジック部分のフリップフロップが予期せぬ状態に陥ってしまうということが推測された。

この問題に関しても、一つ前の問題と同様にディスクリミネータ部分のロジックをこういった問題が起り得ないような単純なものへと根本的に変更することで起こらなくなると考えている。

5.7 QTC 評価のまとめ

この章では、QTC のプロトタイプの評価結果について述べてきた。最後に、その評価結果についてまとめておく。まず、高速化に関しては 1 ヒットの処理を 500 nsec とすることで、最大で 2 MHz のヒットの処理が可能となり、AD 変換の高速化を達成することができるようになった。次に、1 チャンネルが 3 つのレンジを持つことで、2500 pC まで飽和すること無く、測定することが可能になった。さらに、電荷分解能や時間分解能、消費電力、インピーダンス整合といった基本性能に関しては、それぞれの要請がほぼ満たされていることが確認された。

ただし、電荷測定精度に関してはまだ改善が求められ、さらに、他にもいくつかの問題点が残されている。例えば、温度依存性の大きさ、入力頻度によって測定される電荷の大きさが変わってしまうこと、微小な信号を入力したときの不安定性などの問題があることが確認された。それらの問題を解決するために、各部の再設計が行われ、次期版の QTC の開発が行われた。次期版の QTC のマスクレイアウトは図 5.54 のようになり、電源やグラウンドの線の数が増える分だけ、チップ面積もわずかに大きくなっている。

表 5.8 QTC の特性

電荷分解能	0.1 pC/count (~ 51 pC)	0.7 pC/count (~ 357 pC)
電荷測定精度 (RMS)	0.1 pC (@ 1 pe)	1 pC (@ 100 pe)
時間測定精度 (RMS)	0.3 nsec (@ 1 pe)	0.2 nsec (@ 100 pe)
(時間分解能	0.52 nsec/count)	
温度依存性	(電荷) -0.06 pC/	(時間) 50 psec/
電源電圧依存性	(電荷) 0.002 pC/mV	(時間) 0.2 psec/mV

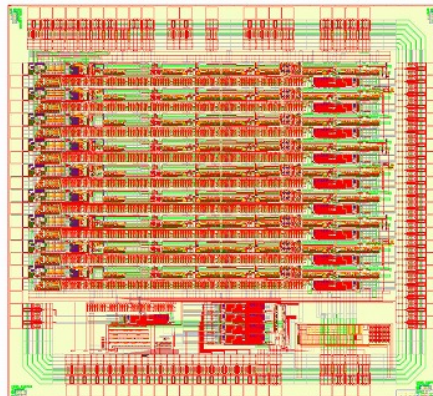


図 5.54 次期版 QTC のマスクレイアウト。サイズは縦 3.41 mm、横 3.11 mm で面積は 10.61 mm²

6 Master Clock Module (Mclock) の開発

4章で述べられたように、新 ATM では、全ての ATM が一つの共通なクロックを使う。また、トリガーの種類によって、トリガーを入力する遅延時間を調整する必要がある。この章では、これらの要請から必要となった新しいクロック発生モジュール (Master Clock Module、以降、本章では Mclock と呼ぶこととする。) の開発について述べる。

6.1 60 MHz のデータ転送のための検討

まずは、モジュールの開発以前にモジュールから出力された 60 MHz のクロックやシリアル信号を正確に転送するための検討を行う。というのは、Mclock が置かれるのはタンクの上面中央のセントラルハットになる。クロックやトリガーはそこから、最長 40 m にもなるケーブルを伝って、各エレクトロニクスハットへと伝えられることになる。数 10 m もの距離を信号を伝送させるときには、同軸ケーブルでも見られたような減衰は無視できないものとなり、特に高速な信号を伝送するときは注意が必要である。

フラットケーブルによる伝送 現在は TRG からのイベント番号はシールド付きのフラットケーブルで各 ATM へと分配されている。フラットケーブルの長さは最長で 40 m にもなる。

最初に、これまでイベント番号を分配していたものと同じフラットケーブルを用いて、60 MHz の信号を伝送させてみた。その結果が図 6.1 である。図から分かるように波形はなまってしまい、さらに、振幅も伝送前の信号の 14 % にまで減衰してしまっている。

ただし、振幅が小さくなくても受信側で正しく受信することができれば問題ない。そこで、伝送後の波形を LVDS レシーバ (DS90LV028A) で正しく受信できるかの確認を行った。

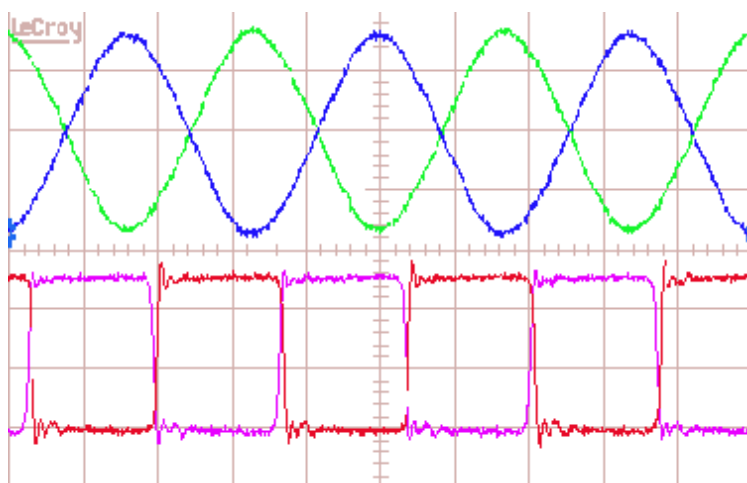


図 6.1 40 m のフラットケーブル伝送前後の 60 MHz クロックの波形。下側の波形が入力波形で振幅 500 mV、上側の波形が伝送後の波形で振幅は 70 mV である。

その結果は次のようになった。

- 信号源の振幅が標準 LVDS の 340 mV のときには受信できなかった
- 340 mV で受信できたのは 50MHz の信号までであった
- 受信するには最低でも 460 mV の振幅が信号源において必要
- 周波数によって、信号を入力してから受信されるまでの時間が 10 nsec 以上の違いが生じる

このように標準の LVDS の振幅では足りないものの、振幅を大きくすることで何とか受信は可能であることは明らかになった。クロックだけの伝送を考えるのなら、これでとりあえずは問題ないのだが、シリアルで信号を転送しようとするとき、上記の結果の最後に書かれたことが問題となってくる。

周波数による受信されるまでの時間のずれは、信号の周波数が速いと受信端での実質的な振幅が小さくなってしまい、差動信号の対が互いに交わるまでの時間が早くなってしまいうために起こっている。ということは、シリアルでデータを転送するとき、同じビットの状態が続くときと、クロック毎にビットの状態が変わるときでは、それぞれのビットの時間幅が全く違ってしまうことになる。この違いが 10 nsec、すなわち、60 MHz の 1 クロック分にも相当するという事は、60 MHz のシリアル転送をほぼ不可能にしてしまうことになる。さらに、この問題は信号源の振幅を大きくしても本質的に解決されるものではない。つまり、高周波領域でも減衰の少ないケーブルが必要なのである。

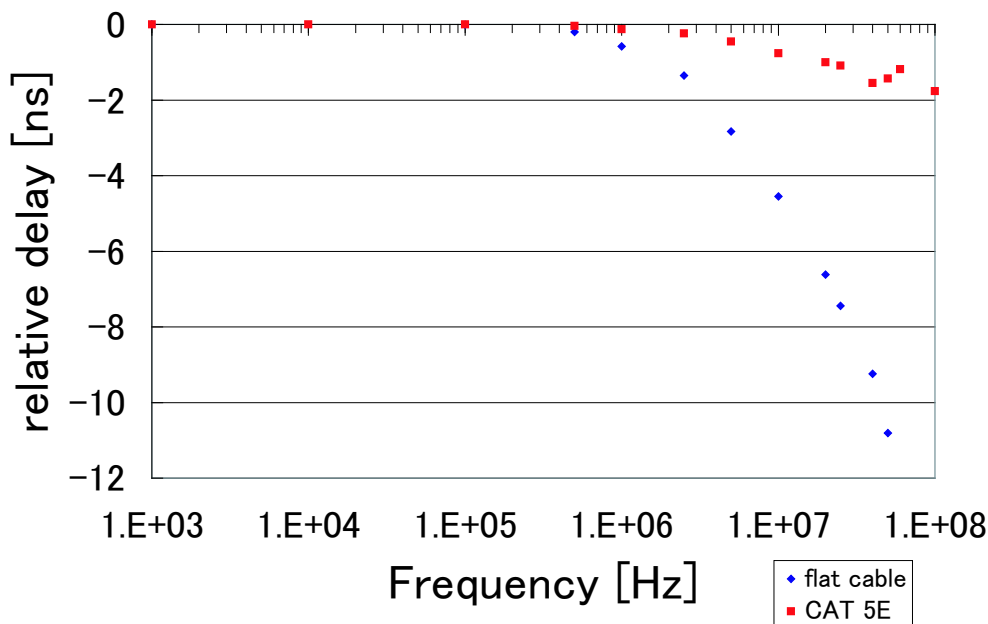


図 6.2 周波数による信号が受信されるまでの相対的な遅延の違い。青線はフラットケーブルの結果。赤線は LAN ケーブルを用いた結果である。

LAN ケーブルによる伝送 高周波領域でもデータ転送が可能で安価、かつ入手性が良いケーブルとして候補にあがったのは、いわゆる LAN ケーブルであった。ただし、一口に LAN ケーブルといっても、いくつかの規格があるが、保証帯域が 350 MHz まであるものとして、Category 5 Enhanced という規格の UTP (Unshielded Twisted Pair) ケーブルがあり、それを試験してみることにした。

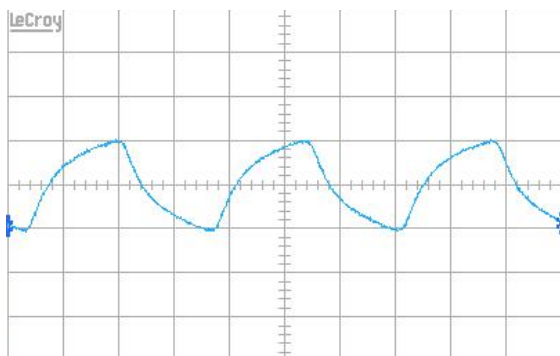


図 6.3 50 m の LAN ケーブル伝送後の 60 MHz クロックの波形。このときは入力波形の振幅は 400 mV で、伝送後の振幅は 210 mV である。

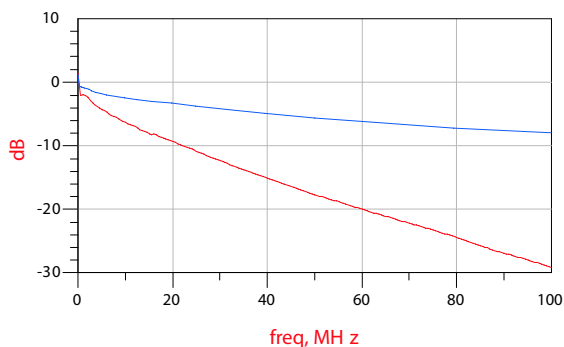


図 6.4 LAN ケーブルとフラットケーブルの 40 m での損失と周波数の関係。青線は Category 5 E の LAN ケーブル、赤線はフラットケーブルの損失である。

図 6.3 は 50 m の LAN ケーブルを伝送した後の 60 MHz クロックの波形である。入力の振幅に対して、受信端では約 53 % の振幅になっている。さらに LAN ケーブルとフラットケーブルでの損失と周波数との関係を示した図を図 6.4 に示した。これより、フラットケーブルでは 60 MHz の信号で -20 dB ($=1/10$) にも減衰していたのに対して、LAN ケーブルでは -6 dB ($=1/2$) 程度の減衰に抑えられることが分かる。

さらに、LAN ケーブルを用いて、フラットケーブルと同様に、LVDS レシーバを用いて受信できるかの試験も行った。その結果、LAN ケーブルでは、信号源における振幅が標準 LVDS の 340 mV の振幅でも (100 MHz でも) 十分受信可能なことが分かった。さらに、信号が受信されるまでの時間差についても 100 MHz 以下の信号では、2 nsec 以内に抑えられることが分かった (図 6.2 の赤色の点のデータ)。

以上の結果から、クロックやトリガーの分配にはこれまでのようなフラットケーブルではなく、LAN ケーブルを使うことを選択した。さらに、40 m の LAN ケーブルでのアイパターンのシミュレーション結果を図 6.5 と図 6.6 に示した。これは、ランダムな信号パターンをケーブルに入力して、伝送させた後の波形を重ね書き表示したものである。この結果から、シリアルデータの転送に関しては、十分なマージンを持たせるために信号線を 2 倍にして、データの 1 ビットの時間幅を 2 倍の約 33 nsec (30 MHz) にして、転送することとした。(それでも、問題があれば 15 MHz とする。)

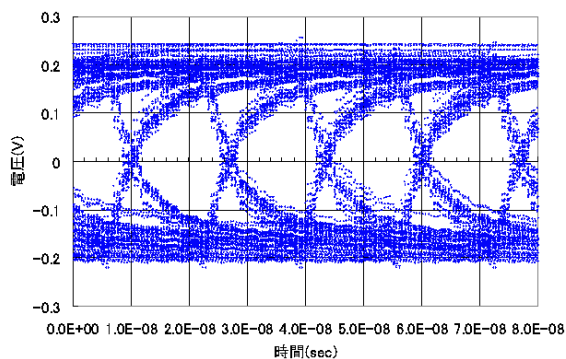


図 6.5 60 MHz データ転送時のアイパターンシミュレーション結果

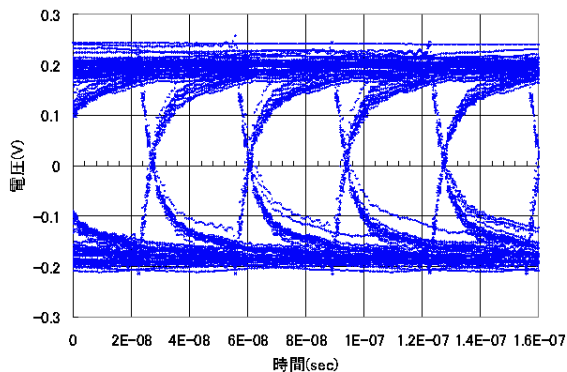


図 6.6 30 MHz データ転送時のアイパターンシミュレーション結果

6.2 仕様

信号の伝送方法が決定したところで、Mclock の仕様について述べる。

6.2.1 クロックの安定性への要請とクロックの選定

Mclock で用いられることになるクロックは全ての ATM のクロックとなることから、当然のことながら、十分良い安定性や精度があることが求められる。

安定性に対する要請 安定性に対する要請としては、QTC や TDC の時間分解能や電荷分解能より十分小さい範囲で安定していることが求められる。ここでは時間測定の精度はおよそ 0.1 nsec であるとして考える。クロックの安定性への要求は、長い時間間隔を測定するときほどその要求は厳しいものとなる。スーパーカミオカンデにおける測定において、0.1 nsec の精度で測定しなければならない時間間隔というのは、最も長くて 100 nsec 程度 (~ 1 イベントの時間的な拡がり) であると考えられる。100 nsec に対して 0.1 nsec は 0.1 % 、すなわち、1000 ppm の精度に相当する。クロックはこれより十分小さな安定性が求められ、1000 ppm の 1/10 倍、すなわち、100 ppm 程度の安定性が求められる。

ジッタに対する要請 クロックのジッタとしては、TDC の分解能 0.15 nsec より十分小さな値、すなわち、15psec (RMS) 以下であることが求められる。

補正精度に対する要請 新しいシステムにおいてクロックが故障などにより止まってしまったときのことを考えてみると、それはシステム全体が止まってしまったということを意味する。したがって、もし、クロックが壊れて動作しなくなったようなときにも、代替りのクロックをすぐに入れ替えられるようにしなくてはならない。そのためには、二つのクロックの周波数が十分一致している必要がある。どの程度の精度で一致すべきかは、安定性に対する議論と同様で、100 ppm の精度で二つのクロックの周波数を合わせることができれば十分である。ただし、出荷時に十分良い

精度で合わせた複数の発振器が手に入るならば、この補正精度は特に必要は無い。

水晶発振器の決定 ところで、一般的に水晶発振器は温度依存性と電源電圧依存性をもち、さらには経年変化をすることが知られている。したがって、これらの考え得る環境の変化がどれだけあったとしても、クロックの周波数としては 100 ppm の精度で安定していることが必要なのである。一般に簡単に入手することのできるクロックの安定性は 100 ppm 程度であるので、何とか要請を満たすことはできる水準ではある。ただし、全ての ATM を動かすクロックとなることから、もう少し安定性の良いクロックを使用することにした。

結果的には表 6.1 のような水晶発振器をクロックとして用いることにした。

表 6.1 水晶発振器 (NDK 温度補償水晶発振器 5930A BKG00 60MHz) の性能

周波数温度特性	±1 ppm	(-20 ~ +60)
電源変動特性	±0.2 ppm	(+12 V ± 5 %)
経年変化	±1 ppm/year	
周波数補正範囲	±3 ppm (min)	

周波数温度特性、電源変動特性、経年変化のどれに関しても、考えられ得る変化に対しては、優に 100 ppm 以下の安定性を保つことができる。また、周波数補正範囲が ±3 ppm であることから、二つのクロックの周波数を十分良い精度で合わせることも問題なくできると考えられる。

ただし、ジッタに関しては詳細な数字はまだ分からない。というのは、ジッタは発振器からの信号を LVDS へと変換する LVDS ドライバーのジッタや分配器でのジッタなどを考慮しなくてはならないからである。これに関しては実際にプロトタイプを作成して、詳細を評価する必要がある。

6.2.2 Master Clock Module の機能

4.2 において新しいデータ収集エレクトロニクスのシステムについて述べたところで、Mclock の基本的な役割については既に述べられているから、ここでは、Mclock の機能の詳細について述べることにする。

図 6.7 には、Mclock のほぼ全ての入出力が信号の流れとともに示されている。これらの信号については、システム全体の設計のところで述べられたので、ここで再び説明することはしない。モジュール内部では、全ての信号は FPGA へと入力され、そこで、各種の処理がなされた後に出力されるという形になる。したがって、多少の論理の変更ならば、モジュール完成後にも容易に可能であるという特徴を持っている。

それでは、トリガーが入力されたときの具体的な動作についてタイミングチャートを用いて説明する。

ここでは、トリガーの前後 30 μ sec の時間幅の信号を取得する Wide Window Trigger の場合について説明する。まず、グローバルなトリガーが TRG から、Wide Window Trigger がトリガー生成ロジック部分から入力されると、Mclock はまず TRG から入力されているイベント番号をシ

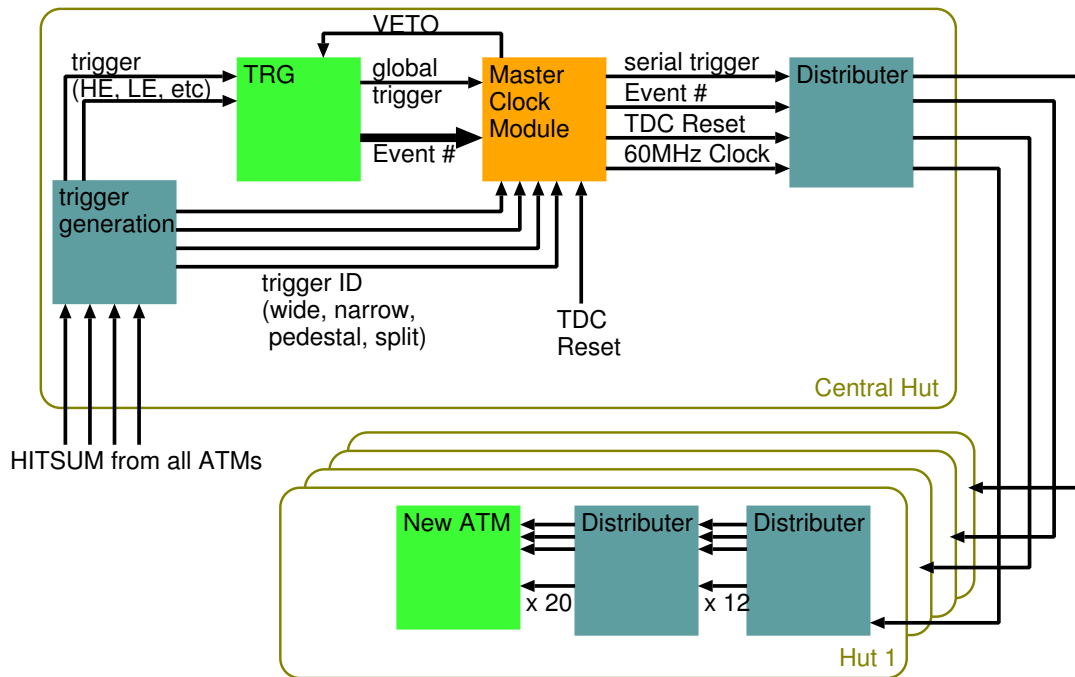


図 6.7 Master Clock Module と関係した信号の流れ。

リアルにエンコードして、4本の信号線を用いて、30 MHz で出力する。32 ビットのイベント番号の転送には先頭の識別ビットも含めて考えると、 $9 \times 33 \text{ [nsec]} \sim 300 \text{ [nsec]}$ の時間がかかることになる。

また、TRG はグローバルなトリガーを出力してからも、およそ 280 nsec の間に入力されたトリガーの種類を記録することになるから、Mclock でもその間は待ち時間として、他の種類のトリガーが入力されないか、待つことになる。最終的に Mclock に入力されたトリガーの種類が Wide Window Trigger だけとなると、Mclock ではそれから約 $15 \mu\text{sec}$ の遅延後にトリガーを全 ATM へと向けて、出力することになる。

ただし、その遅延の間に TRG へとトリガーが入力された場合、Mclock ではトリガーを受け付けられない状態になっているので、TRG と各 ATM でのイベント番号のずれが生じてしまう。それを防ぐために、Mclock は待ち時間の間に TRG へと向けて、VETO 信号を出力する。

グローバルトリガーの入力から約 $15 \mu\text{sec}$ が経過すると、Mclock はシリアル化されたトリガー信号を出力する。トリガーの種類に識別に必要なビットは Wide/Narrow、Pedestal、Split の 3 ビットであるから、先頭の識別ビットを含めると 4 ビットのシリアル信号となる。

シリアルトリガーを出力した後は、次のトリガー信号を受け付けられるように、Mclock は TRG に対する VETO 信号を解除する。

以上が、グローバルトリガーが入力されてからの Mclock における一連の処理である。

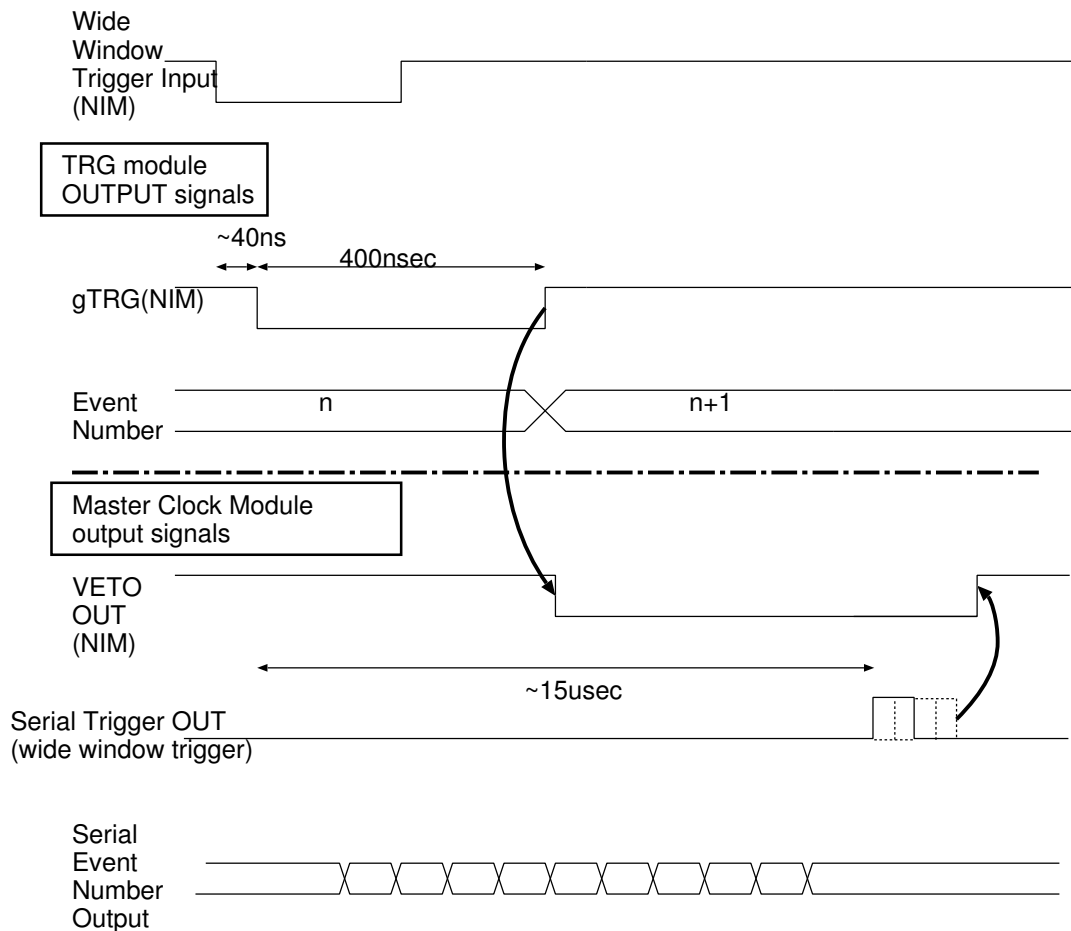


図 6.8 Wide Window Trigger が入力された場合のタイミングチャート

6.3 開発経過

Mclock については、現在プロトタイプの開発を進めているところである。このモジュールが無いと、新しい ATM は動作しないので、開発は新 ATM プロトタイプの完成までに終わらせる必要がある。このモジュールの開発については、ユニバーサル基板上に自ら各デバイスを半田付けするという形で行っており、殆どの半田付け作業は終わり、FPGA の言語設計もほぼ完了している。したがって、今後は正常に動作するかを確かめるという段階になり、新 ATM プロトタイプの完成には十分間に合わせることができると考えている。

7 結論

本論文ではスーパーカミオカンデにおけるデータ収集エレクトロニクスのシステム全体と ATM について概念的な設計について述べ、さらに、我々が独自に開発することとなった QTC の詳細な仕様から評価の結果までを述べた。

ATM のデザインにおいては、QTC と AMT を組み合わせることにより、AD 変換の高速化や時間測定ダイナミックレンジの拡大などの要請を満たすこととなった。本研究では、とくに AMT の使用方法についての検討を行い、トリガーの種類の情報も各 ATM へと分配してデータ選別を行うことや、各ヒット間の相対時間差を精度良く測定するために ATM 全体が一つのクロックを用いることなどを決定した。

システム全体の設計で大きな課題となったのはデータの処理速度である。データ処理速度に関しては全てのチャンネルで 10 kHz のヒットがあったとしても、それをデッドタイム無く常時処理するという要請があり、それをどのように実現するかを検討を行った。

新 ATM では QTC、AMT、FPGA の各部分でデータの処理速度に関しては要請に対して、十分な速度があることを示した。また、ATM からオンライン計算機までのデータ転送速度は、イーサネットによる読み出し、もしくは、SCH を新しく開発することにより、その要請を満たすことができるようになることが示された。それらの開発はこれから始められようとしているところである。

一方、QTC の性能評価に関しては、プロトタイプのチップは基本的には我々の要請を満たすものであるということが示された。電荷測定のダイナミックレンジに関しては 3 つのレンジを用いることにより、2500 pC までの電荷を飽和することなく、測定できることが確認された。電荷測定精度については、Small レンジで約 0.1 pC の測定精度があることが分かった。ただし、全てのレンジにおいて、1 % の相対精度を満たすにはもう少し改善が必要で、そのためにコンパレータが高速化されることになった。時間測定精度については、全ての測定電荷において、光電子増倍管の精度よりも十分小さいという結果が得られた。また、約 10 pC 以上の信号を測定する場合には、時間精度は殆ど TDC の時間精度となり、QTC 自体の精度はそれよりも十分小さいということが分かった。さらに、消費電力やインピーダンス整合に関しても我々の要請を満たすことが確認された。

ただし、現在の QTC のプロトタイプはいくつかの問題も抱えていることも判明した。主なものを挙げれば、入力頻度依存性や微小な信号を入力したときに動作が止まってしまう問題などがある。それらの問題の解決を目指して、次期版の再設計、製作がなされた。

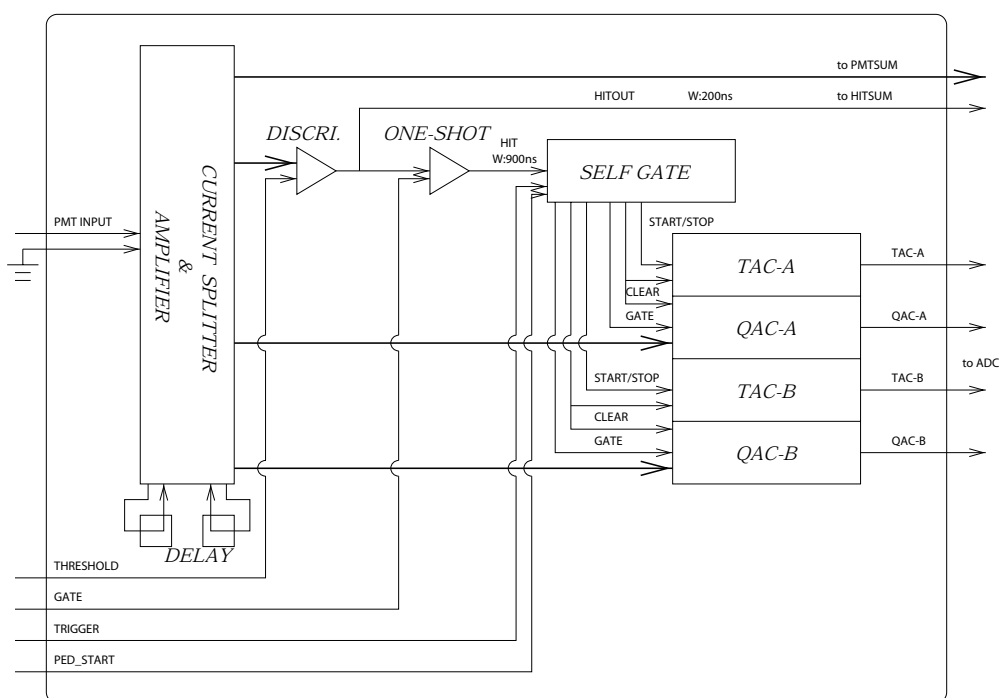
今後は、問題点が改善された QTC を用いて、新 ATM のプロトタイプを開発し、それらの性能評価を行うことになる。その中で、現在の段階で十分評価されたとは言えない低ノイズ化や高速化などの事項についても評価していくこととなるだろう。

付録 A 現在の ATM の処理の詳細

ここでは、ATM の詳細について、光電子増倍管から入力された信号の流れを追いながら述べる。

A.1 アナログ信号入力部

TKO 規格では外部からの直接の信号入力用に 40 ピンのコネクタが 2 つ付けられるようになっており、ここに各 6 個ずつ光電子増倍管からの信号が入力される。したがって、ATM は 1 ボードにつき 12 チャンネルの信号入力を持つ。



図付録 A.1 ATM アナログ入力部

図付録 A.1 に ATM のアナログ入力部の概要を示した。各チャンネルに光電子増倍管からの信号が入力されるとまず、信号はハイブリッド IC [15] と呼ばれる IC に入力される。IC 内部では信号は電流分割部において 4 つに分けられる。分割された電流はそれぞれ、ディスクリミネータ、2 つの QAC (電荷を電圧へと変換する部分)、PMTSUM 出力用の回路へと分けられる。

ディスクリミネータへは元の入力信号が約 100 倍された信号が入力される。現在の ATM ではこの部分の閾値を約 -40 mV にまで下げることが可能となっている。ディスクリミネータへの入力がこの閾値を越えると、HIT 信号が生成される。生成された HIT 信号は二つに分けられ、一方は幅 200 nsec、振幅 -15 mV の矩形波で HITSUM 生成回路へと送られる。もう一方は、幅が 900 nsec の矩形波でセルフゲート部に入力される。

セルフゲート部に HIT 信号が入力されるとセルフゲート部は 2 つの QAC に対して 400 nsec の積分ゲート信号を出力して QAC では積分が開始され、積分された電荷が保持されることになる。また、同時に TAC[15] と呼ばれる部分に START 信号を送る。ここで、TAC とは時間を電荷へと変換する部分である。TAC では START 信号が送られることによって、定電流源から内部のコンデンサへと電流が流れ込み、電荷の積分が始まる。そして、外部からトリガー信号がセルフゲート部へと入力されるとセルフゲート部から STOP 信号が TAC へと送られ、それにより電荷の積分が終わる。したがって、それまでに積分された電荷量が START 信号から STOP 信号までの時間差に比例した量となるのである。

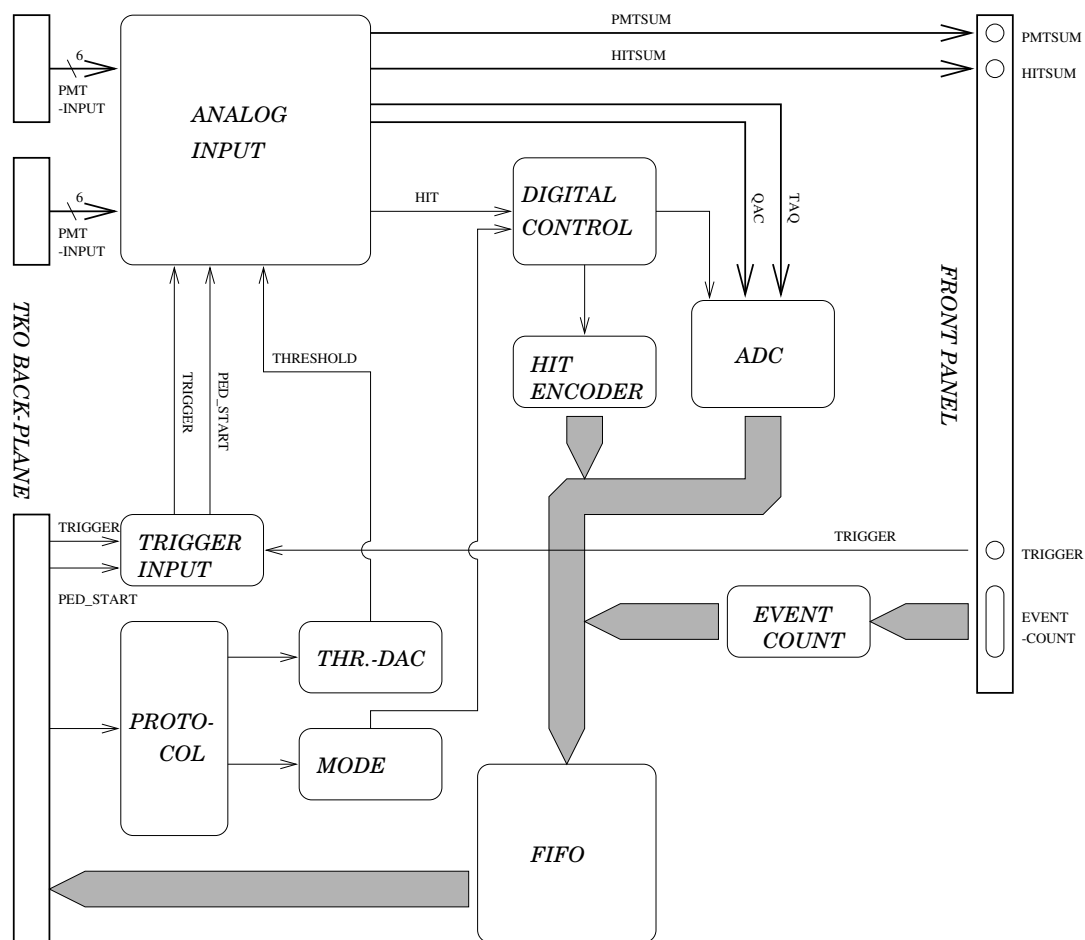
グローバルなトリガー信号が ATM へと入力されると QAC と TAC において電荷へと変換され、保持されていた信号の電荷、時間情報は、ADC によって AD 変換されるのだが、ここで一つ問題がある。というのは、ATM が持つ ADC は、処理には $5.5 \mu\text{sec}$ もの時間がかかってしまうということである。一方、ミュオン寿命は $2.2 \mu\text{sec}$ であるから、ADC の処理を待っていると一つのチャンネルでミュオン崩壊からの連続した信号は殆ど取得できないことになってしまう。そこで、図付録 A.1 を見れば分かるように ATM は一つのチャンネルにつき 2 つずつ QAC と TAC を持ち (それぞれ A チャンネル、B チャンネルと呼ばれる。)、一方に信号が入力されて塞がっている場合でも、次の信号を受け付けられるようになっている。

ただし、実際はそう簡単な話ではなく、全くデッドタイム無く連続した信号をとれるわけではない。というのは、HIT 信号としてセルフゲート部に 900 nsec 幅の信号が入力されることは前に述べたが、これが入力されている間は実はそのチャンネルは次の信号入力を受け付けなくなっているのである。したがって、最初の信号が入力されて HIT 信号を出してから、400 nsec ~ 900 nsec の間にきた次の信号は無視されてしまうのである。なぜこのような設定となってしまうのかということに ATM のアナログ入力部の問題点の一つがあり、これは本文中でも述べた通り、インピーダンスの整合が取れていないために起こる反射があるためである。

A.2 AD 変換部

トリガー信号が ATM へと入力されると QAC、TAC の情報は 12 ビットの ADC で AD 変換される。ところが、ATM は 12 チャンネルの入力を持つが ADC は一つしか持っていない。したがって、AD 変換及び FIFO への格納はチャンネルごとに順々に行わなければならない。そのために、マルチプレキサと呼ばれるアナログスイッチが用いられ、どのチャンネルの処理を行うかの切替えがなされる。

ADC の処理時間は一つのチャンネルにつき約 $5.5 \mu\text{sec}$ の時間がかかる。この処理時間は超新星爆発のような高頻度の事象に対しても十分な速度である。というのは銀河中心での超新星爆発が起きた場合には約 1 kHz でトリガーがかかると予測されているが、それらはすべて 10 MeV 程度の事象であるから、一つの事象につき 100 ヒット、すなわち、全ての光電子増倍管の 1 % 程度のヒットしかない。したがって、一つの ADC が処理すべきスピードは $12 \times 1 \text{ [kHz]} \times 1 \% = 100 \text{ [Hz]}$ である。したがって、ADC は超新星爆発のような高頻度の事象に対しても十分な速度で処理



図付録 A.2 ATM のブロック図

ができると考えられる。

最後に、ADC で AD 変換された後に FIFO に格納される段階での 1 ヒットあたりのデータ構造を表付録 A.1 に示す。データ構造は、12 ビットの QAC と TAC からのそれぞれ 12 ビットとチャンネル識別の 4+1 ビット、さらに外部から供給される 8 ビットのイベント番号からなる。これらが 1024 ワード (= 2 kByte) の FIFO に蓄えられ、SMP へと転送されるのを待つことになる。

表付録 A.1 ATM の 1HIT あたりのデータ構造。1HIT あたりのデータ量は 6Byte である。

15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
0	0	イベント番号 (8bit)								AB	0	チャンネル番号			
0	1	0	0	TAC データ (12bit)											
1	0	0	0	QAC データ (12bit)											

付録 B AMT の設定と読み書きタイミング

B.1 レジスタ設定

AMT の設定は CSR (Control and Status Registers) と呼ばれる 12 ビットのレジスタでコントロールすることができ、さらに、チップの状態をモニターすることができる。ここでは、CSR の設定において特にデフォルトの設定と異なるなど、注意すべき点について今後の参考のために書き残しておく。

表付録 B.1 に評価基板における基本的な CSR 設定を示した。ただし、これらは全て評価基板のシステムに依存したものであり、ATM でも同じ設定にすれば良いとは限らない。

表付録 B.1 コントロールレジスタ設定

Register Address	設定
0	0x024
1	0x000 (mask_window)
2	0x744 (search_window)
3	0x708 (match_window)
4	0x880 (reject_count_offset)
5	0x000 (event_count_offset)
6	0x8bc (bunch_count_offset)
7	0x000 (coarse_time_offset)
8	0xff (count_roll_over)
9	0x000
10	0xa33
11	0x111
12	0x1ff
13	0xff (enable_channel[11:0])
14	0xff (enable_channel[23:12])
15	0x000 (general_out)

CSR0 : clkout_mode[1:0] = (0/1) CLKOUT ピンからの出力を決めるレジスタ。

評価基板では、TDC からのデータ読み出しタイミングに CLKOUT ピンから出力されるクロックのタイミングを用いている。この設定では、CLKOUT ピンから 60 MHz のシステムクロックが出力されるようにしている (正確には PLL で 2 倍にされた 120 MHz クロックの 1/2 倍)。

CSR0 : enable_direct = 1 トリガーやリセットの入力をシリアルで行う ENCCONT ピンを使用するか、否かを決定するレジスタ。

評価基板では、リセットやトリガは全て直接、BUNCHRSTB、EVENTRSTB、TRIGGER ピンへ直接信号を入力するか、CSR0[11](global_reset) に '1' を書き込むことにより行っている。

CSR2 : search_window = 0x744 search_window を決めるレジスタ。

$$\text{search_window} = 0x744(1860) \times 16.6 \text{ nsec} = 31 \mu\text{sec}$$

CSR3 : match_window = 0x708 match_window を決めるレジスタ。

$$\text{match_window} = 0x708(1800) \times 16.6 \text{ nsec} = 30 \mu\text{sec}$$

CSR4 : reject_count_offset = 0x880 reject_count_offset を決めるレジスタ。

$$\begin{aligned} & \text{coarse_time_offset} - \text{reject_count_offset} \\ &= (0x000 - 0x880) \times 16.6 \text{ nsec} \\ &= -0x780 \times 16.6 \text{ nsec} \\ &= -32 \mu\text{sec} \end{aligned}$$

このように設定することで、reject counter は coarse counter より 32 μsec 遅れて回ることになり、ヒットの入力から 31 μsec 以上が経過したヒットは L1 Buffer から除かれることになる。

CSR6 : bunch_count_offset = 0x8bc bunch_count_offset を決めるレジスタ。

$$\begin{aligned} & \text{coarse_time_offset} - \text{bunch_count_offset} \\ &= (0x000 - 0x8bc) \times 16.6 \text{ nsec} \\ &= -0x744 \times 16.6 \text{ nsec} \\ &= -31 \mu\text{sec} \end{aligned}$$

このように設定することで、bunch counter は coarse counter より 31 μsec 遅れて回ることになり、この時間から match_window の 30 μsec の間のデータが L1 Buffer から読み出される。

CSR10 : enable_trailing = 1 trailing edge (立ち下がりエッジ) の測定をするかを決定するレジスタ。

QTC の出力信号は立ち下がりエッジと立上りエッジの両方の情報が必要だから、enable_leading、enable_trailing とともに 1 と設定する。

CSR10 : enable_trailer/enable_header = 1/1 イベント毎に Trailer と Header を出力するかを決めるレジスタ。

AMT から出力されるデータの構造は表 4.2、4.3、4.4 のようになっており、Single Measurement Data にはイベント番号の情報は含まれないから、Trailer か Header のどちらかは必須である。また、イベントの区切りが分かりやすいという点から、どちらも出力する方が良いと考えられる。

CSR11 : enable_setcount_bcrst = 1 Bunch Count Reset 信号で Coarse Counter、Bunch Counter、Reject Counter をリセットするかを決めるレジスタ。

CSR11 : enable_l1over_detect = 1 L1 Buffer が一杯になったことを検出するかを決めるレジスタ。

CSR11 : enable_errmark = 1 ハード的なエラーが発生したときにエラーを出すことを可能にするレジスタ。

CSR11 : enable_rofull_reject = 0 Readout FIFO が一杯になったときに、データを捨てることを可能にするレジスタ。

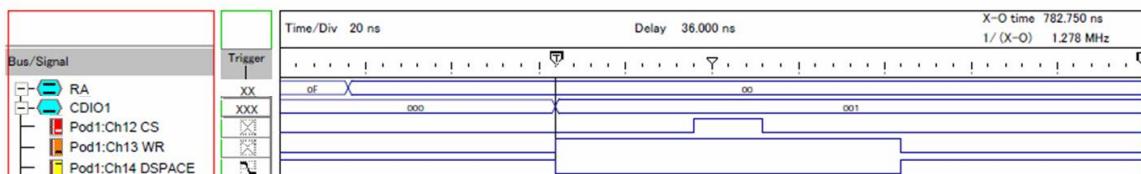
4.3.4 で述べたように、Readout FIFO が一杯になったときには、トリガーマッチングは止めるが、一回取得したデータは捨てずに処理しなければならない。したがって、このビットは 0 にしておくべきである。

B.2 読み書きタイミング

B.2.1 CSR

CSR の読み書きは CS (Chip Select)、WR (CSR Write)、DSPACE (Data Space select)、RA[0:4] (Register Address)、CDIO[0:11] の 5 つの信号によって行われる。WR は書き込みか、読み出しかの切り替えのために使われる。また、測定データと CSR の読み書きには同じ信号線が使われるので、DSPACE 信号によりデータ読み出しと CSR の読み書きを切り替えている。

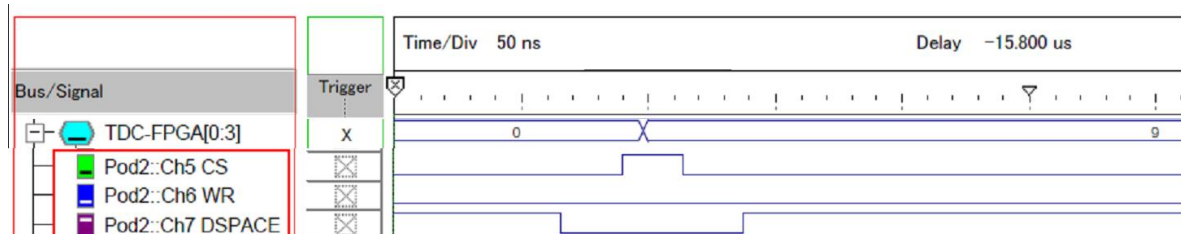
書き込みタイミング CSR 書き込みのタイミングを表した図を図付録 B.1 に示す。この図は実際の信号をロジックアナライザで取得したものである。



図付録 B.1 CSR の書き込みタイミング

1. FPGA が DSPACE 信号を 'L'、WR 信号を 'H' にするとともに、値を書き込むレジスタのアドレス RA と 12 ビットのデータ CDIO[0:11] を出力する。
2. 1 クロック後に FPGA が CS 信号を 'H' にする。
3. TDC が CDIO のデータを読み込む。
4. 1 クロック後に FPGA が CS 信号を 'L' にする。CDIO の最小ホールド時間は 9 nsec で、CS の最小信号幅は 8 nsec でなければならないから、60 MHz 動作時にも CS は 1 クロック幅で十分である。

読み出しタイミング CSR の読み出しのタイミングをロジックアナライザで取得したものを図付録 B.2 に示す。ただし、図中には RA 信号は示されておらず、TDC-FPGA[0:3] とあるのが、CDIO の下位 4 ビットである。



図付録 B.2 CSR の読み出しタイミング

1. FPGA が DSPACE 信号を 'L'、WR 信号を 'L' にするとともに、値を読み出すレジスタのアドレス RA を出力する。
2. 1 クロック後に FPGA が CS 信号を 'H' にする。
3. 18 nsec 以内に TDC は CDIO に 12 ビットのデータを出力する。
4. FPGA は TDC からのデータを読み込み、CS を 'L' に戻す。

B.2.2 測定データ読み出し

データ読み出しタイミング TDC のデータ読み出しには、シリアル読み出しか、パラレル読み出しがあるが、読み出しの容易さと読み出し時間の削減のためにパラレル読み出しを選択している。さらに、パラレル読み出しでも、ハンドシェイクを行うか、行わないかの二通りがあるが、今回はハンドシェイクを行わない Synchronous mode を選択した。ただし、評価基板上の FPGA のシステムクロックは 40 MHz なのに対して、TDC は 60 MHz で動作しているので、FPGA の処理速度は原理的に追い付かない。そこで、評価基板上では TDC から出力される CLKOUT 信号のエッジを用いて、データを FPGA 内の FIFO に一旦格納し、それから処理することになっている。

データ読み出しに関わる信号は次の通りである。

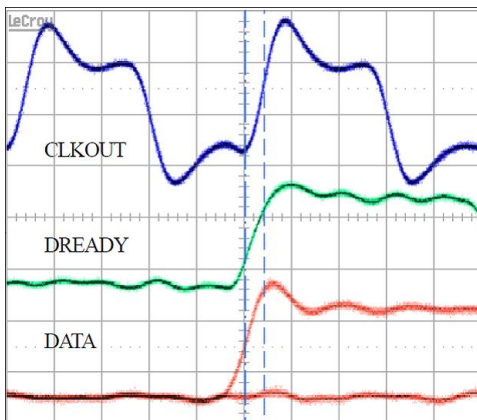
- DSPACE … 常に 'H' で固定
- CS … 常に 'H' で固定
- GETDATA … 常に 'H' で固定
- CLKOUT
- DREADY
- DIO[0:31]

ただし、GETDATA 信号は FPGA 側の FIFO が一杯になったときなどに、TDC からのデー

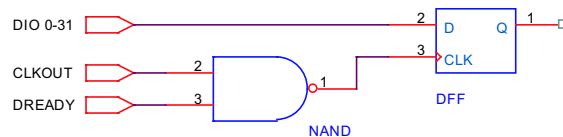
タの流れを止める手段として使うことができるが、評価基板では GETDATA によるコントロールは行っていない。

DREADY 信号は TDC から出力されるデータが有効になったことを示す信号であり、DREADY が 'H' のときに CLKOUT のエッジを用いてデータを FPGA 内の FIFO に取り込めば良い。CLKOUT と DREADY、DIO のタイミングを図付録 B.3 に示した。CLKOUT 信号からの遅延は DREADY 信号で 1.1 nsec、DIO 信号で 2.0 nsec であり、FPGA 内のフリップフロップの最小のセットアップ時間よりも小さいため、CLKOUT の立上りエッジでは、正しくデータを取得できない恐れがある。

そのため、図付録 B.4 のように DREADY と CLKOUT の NAND の立上りエッジ、すなわち、CLKOUT の立ち下がりエッジで信号を取得するようにした。このときにも、セットアップ時間とホールド時間のマージンは殆ど無いが、今のところ、問題無く読み出しができていているようである。



図付録 B.3 CLKOUT 信号と DREADY、DIO の時間関係



図付録 B.4 FPGA データ入力フリップフロップのロジック概念図

測定開始手順 最後に測定開始の手順について少し述べておく。

TDC の測定は START 信号を 'H' にすることで開始される。ただし、START 信号を 'H' にした後にも、Global Reset と Bunch Count Reset を行わないと、正しいデータが出力されないという現象が起きることが分かった。

しかし、今回のように ENCCONT ピンを利用しない場合、CSR の設定を変えることなく Global Reset を発行するには CSR0[11] に 1 を書き込むという方法しかない。さらに、START 信号はできれば 'H' に固定した方が良いとのことであったので、いっそのこと START 信号は 'H' で固定にしてしまい、CSR0[11] に常に 1 を書き込んでおいて、測定していないときには常に Global Reset のかかった状態にした。そして、測定の開始は CSR0[11] に 0 を書き込んで Global Reset を解除する、という方法をとることにした。

具体的な測定開始の手順としては、CSR0[11]=0 書き込み → DSPACE、CS、GETDATA を 'H' にする → さらに Bunch Count Reset、Event Count Reset を行うという手順とした。

参考文献

- [1] Ch. Weinheimer *et al*, Phys. Lett. B **460** (1999) 219
- [2] Y. Fukuda *et al*, Phys. Rev. Lett. **81** (1998) 1562
- [3] Y. Ashie *et al*, Phys. Rev. D **71** (2005) 112005
- [4] J. N. Bahcall *et al*, Astrophys. J. **621** (2005) 85
- [5] R. Davis *et al*, Phys. Rev. Lett. **20** (1968) 1205
- [6] Y. Ashie *et al*, arXiv:hep-ex/0508053
- [7] Q. R. Ahmad *et al*, Phys. Rev. Lett. **87** (2001) 071301
- [8] T. Totani *et al*, Astrophys. J. **496** (1998) 216
- [9] K. Hirata *et al*, Phys. Rev. Lett. **58** (1988) 1490
- [10] R. Biont *et al*, Phys. Rev. Lett. **58** (1987) 1494
- [11] A. Burrows *et al*, Phys. Rev. D **45** (1992) 3361
- [12] A. Suzuki *et al*, Nucl. Instr. and Meth. A **329** (1993) 299
- [13] Y. Arai, AMT-3 User's Manual <http://atlas.kek.jp/tdc/amt3/>
- [14] T. K. Ohsuka *et al*, TKO SPECIFICATION KEK Report 85-10 (1985)
- [15] H. Ikeda *et al*, Nucl. Instr. and Meth. A **320** (1992) 310
- [16] T. Tanimori *et al*, IEEE Trans. Nucl. Sci. **NS-36** (1989) 497
- [17] S. Fukuda *et al*, Nucl. Instr. and Meth. A **501** (2003) 418
- [18] M. Shiozawa, Master Thesis, University of Tokyo (1994)
- [19] H. Ishino, Master Thesis, University of Tokyo (1996)

謝辞

本研究を進めるにあたり、多くの方々から御指導、御力添えを頂きましたことに深く感謝します。まず、指導教官である金行健治先生には本研究の機会を与えて頂きました。また、本研究に限らず様々な場面で丁寧な指導をして頂き、大変感謝しています。

エレクトロニクスに関して全くの素人であった私が、ここまで本研究を進めてこられたのは、言うまでもなくエレクトロニクスグループの皆様の御指導と御協力のおかげに他なりません。

KEK の新井康夫先生には AMT の開発者として、多くの質問に答えて頂きました。それ以上に、エレクトロニクスのエキスパートとしてミーティングなどで貴重な御意見を頂くことができ、深く感謝しています。

本研究に関わる測定の多くは岩通計測株式会社の計測技術部において行い、そこでは様々な測定器を使わせて頂きました。そして、計測技術部の皆様には非常に御世話になりました。

特に、峯岸篤様には本当に何から何まで御世話になりました。何も分からない私にいつも懇切丁寧に、エレクトロニクスの基礎から高周波信号の扱い方、オシロスコープの細部に至るまで、教えて頂いたことは限りありません。本論文の作成中にも、度重なるメールなどでの質問にいつも素早く答えて頂きました。本当に有難うございました。

また、石川広地様には、FPGA などのデジタルエレクトロニクスについて教えて頂きました。また、本論文の作成にあたっては間違いを訂正して頂いただけでなく、貴重な御意見も頂き、大変感謝しています。

そして、東京大学宇宙線研究所のエレクトロニクスグループの皆様には多くの御指導を頂きました。塩澤真人先生にはエレクトロニクスグループの責任者として、常に本質的かつ丁寧な御指導を頂きました。また、本論文を書くにあたって、詳細に目を通して頂いて、内容はもちろんのこと、言葉遣いから構成にいたるまで実に多くの御意見を頂きました。

早戸良成先生には、オンラインのエキスパートとしてオンラインに関することを中心に教えて頂きました。それだけでなく、修士一年のときには KEK で色々と面倒を見て頂くなど、二年間を通して御世話になりました。

奥村公宏先生には、日頃から様々な相談にのって頂きました。そして、本研究に限らず、常に建設的な意見、考えを聞かせて頂きました。また、研究室生活全般においても御世話になりました。

竹田敦先生には ATM のキャリブレーションについて教えて頂きました。また、お忙しい中一緒にやってくださったゼミではいつも貴重な意見を聞かせて頂きました。

また、東京大学宇宙線研究所の諸先生方にも、常日頃から多くの御指導を頂きました。

鈴木洋一郎先生には、エレクトロニクス開発の心構えについて貴重な意見を頂くことができました。

梶田隆章先生には、ニュートリノの物理に関して教えて頂きました。

神岡宇宙素粒子研究施設の中畑雅行先生、森山茂栄先生、竹内康雄先生、三浦真先生、小汐由介

先生、大林由尚先生、亀田純先生、安部航先生、関谷洋之先生、小川洋さんには、あらゆることで御世話になりました。コロキウムなどでは物理に関して教えて頂き、シフトなどでトラブルのあったときには、的確に対処の仕方を教えていただきました。

また、修士一年のときには、KEK で T2K 実験の前置検出器の開発にも関わらせて頂きました。特に、KEK ニュートリノグループの市川温子先生と京都大学高エネルギー物理学研究室の久保田淳さんには実験の基礎から教えて頂きました。

ミーティングなどでは京都大学の西川公一郎先生、中家剛先生や KEK の小林隆先生、中平武先生、新田和範さんに様々な助言を頂きました。

そして、ビームテストのときには、京都大学の横山将志先生、長谷川雅也さん、山本真平さん、平出克樹さん、江澤孝介君、栗本佳典君、黒澤陽一君、信原岳君、大阪大学の田窪洋介さんに変にお世話になりました。私もビームテストに参加させて頂いたことを感謝したいと思います。貴重な経験を積むことができたとともに、自分達で実験を作り上げていくことの楽しさと難しさを学ぶことができました。

ニュートリノセンターの佐治超爾さん、中山祥英さん、石塚正基さん、樋口格さん、武長祐美子さん、Stony Brook 大学の加藤徳史さんには研究室生活全般において御世話になりました。日頃あまり研究室にいない自分が、たまに研究室に帰った際には、いつも暖かく迎えていただきました。

神岡施設の南野彰宏さんにはゼミと一緒にさせて頂きました。また、神岡へ行った際には大変御世話になりました。

同期である三塚岳君には同期だからこそ話せる様々な相談にのってもらいました。また、宮城教育大学の佐藤哲也君には神岡で御世話になりました。二人のような同輩とともにここまで研究を進めてくれたことを幸せに思います。

後輩の飯田崇史君、石原千鶴枝さん、上島考太君の三人には、何かと驚かされることが多く、先輩ながら色々と勉強させられました。

ニュートリノセンターの秘書の福田蓉子さん、木次敦子さんには、旅費などの事務的なことについて大変御世話になりました。いつも急なお願いで御迷惑をおかけしました。

最後に、今まで陰ながら支えてくれた家族に感謝したいと思います。

2006 年 1 月 西野 玄記